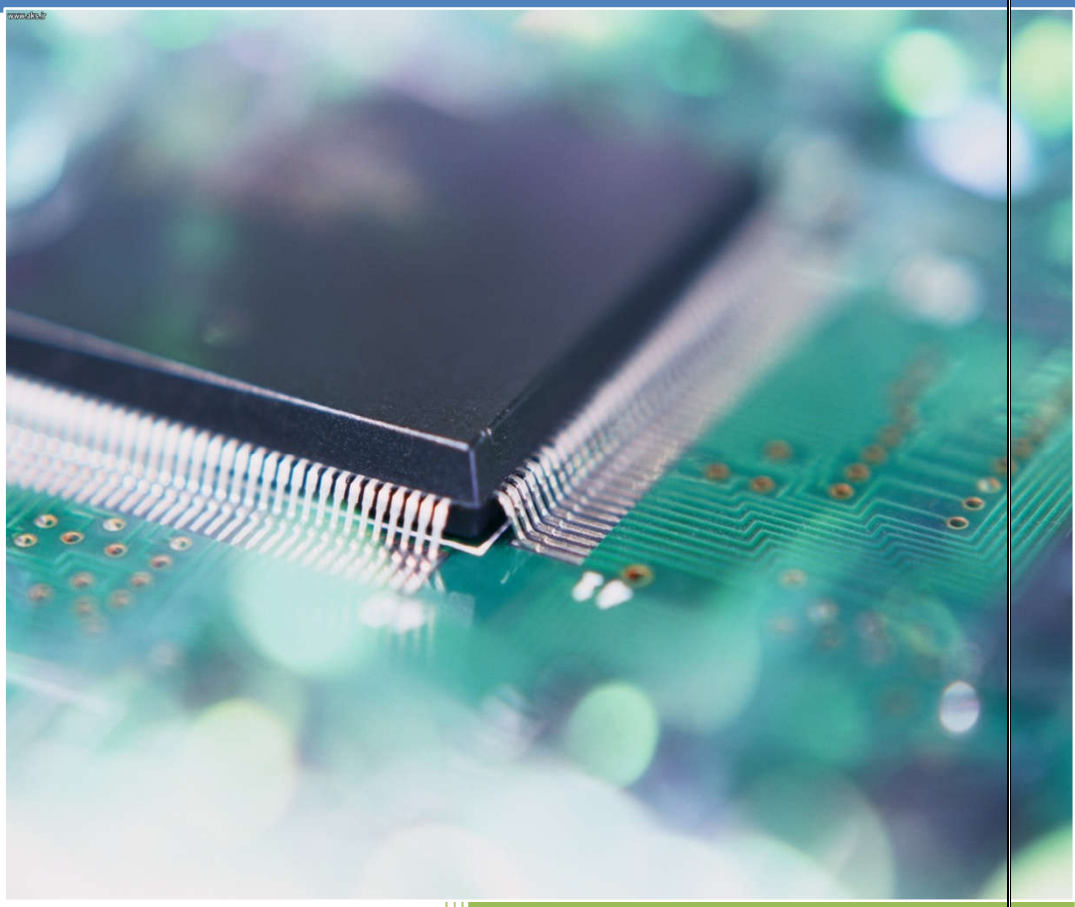
بسمه تعالی

دانشگاه کاشان

آزمایشگاه دیجیتال ۱



دانشکدهٔ برق و کامپیوتر

آزمایشگاه دیجیتال ۱

محمدرضا فتاح

بسمه تعالی

هدف از ارائهٔ آزمایشگاه مدارهای منطقی ،در مرحلهٔ اول آشنایی دانشجویان با چگونگی کار با تراشه‌های دیجیتال و همچنین چگونگی طراحی وپیاده سازی مدارات ساده ترکیبی وترتیبی دیجیتال با روش معمول و دستی و در مرحلهٔ دوم طراحی و پیاده سازی با استفاده از زبانهای برنامه نویسی و توسط آی سی های برنامه پذیر است . قبل از شروع کار در آزمایشگاه لازم است نکاتی را در مورد چگونگی انجام آزمایشات و همچنین ارزیابی کار هر دانشجو متذکر شویم :

۱- دانشجو برای انجام هر آزمایش باید مقدمات آنرا قبل از ورود به آزمایشگاه آماده کند . که این موارد عبارتند از :

الف- مطالعه راهنمای آی سی های بکار رفته در آزمایش . راهنمای این آی سی ها در دستور کار آزمایش موجود است .

ب- تهیه پیش گزارش : بسیاری از آزمایشاتی که قرار است انجام شود لازم است مدار آن قبلا طراحی شود. پس دانشجو باید قبل از ورود به آزمایشگاه و بعنوان پیش گزارش طراحی مدار را انجام داده و تمام مراحل طراحی را در پیش گزارش بیاورد . این موارد شامل جداول درستی ، جداول ساده سازی ، عبارات و همچنین شکل نهایی مدار است .

۲- حضور در تمام جلسات آزمایشگاه الزامی است و در صورت غیبت ، دانشجو باید در همان هفته و در یکی دیگر از گروهای آزمایشگاه و البته با هماهنگی مربی آزمایشگاه ، آزمایش مربوطه را انجام دهد . لازم به ذکر است غیبت بیش از دو جلسه مجاز نیست .

۳- هر آزمایش دارای چند قسمت می باشد که تمامی آنها در یک جلسه دو ساعته انجام می شود . بعد از اتمام هر جلسه آزمایشگاه دانشجو باید یک گزارش کار از آزمایشات انجام شده به مربی آزمایشگاه تحویل دهد . البته گزارش به صورت گروهی و حداکثر یک هفته بعد از انجام آزمایش تحویل می شود .

گزارش آزمایشگاه شامل پاسخ سؤالات در هر آزمایش و در نهایت برداشت نهایی و تجربیات کسب شده دانشجو در آن آزمایش می باشد .

۴- نمره نهایی از مجموع نمرات زیر بدست خواهد آمد :

پیش گزارش کامل و درست(۲۵ درصد) – کار در آزمایشگاه و جواب درست آزمایشها(۳۵ درصد) – گزارش کار (۱۵ درصد)– امتحان عملی یا کتبی (۲۵ درصد)

لازم بذکر است حضور دانشجو در امتحان آزمایشگاه الزامیست . در غیر این صورت بقیه درصد نمرات نیز لحاظ نخواهد شد .

با آرزوی توفیق برای شما

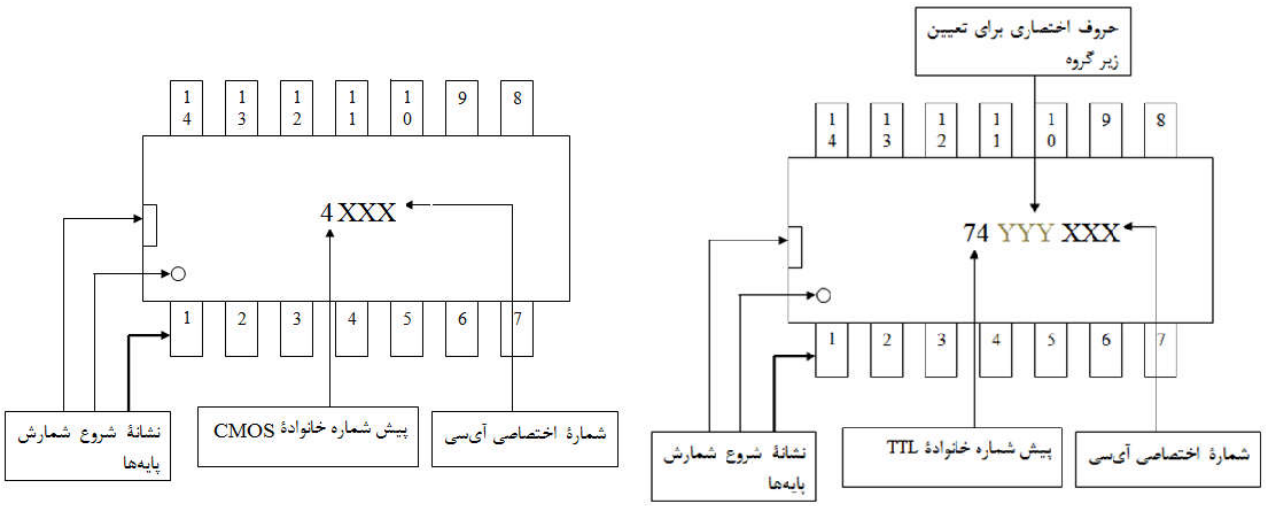
مربی آزمایشگاه

مقدمه

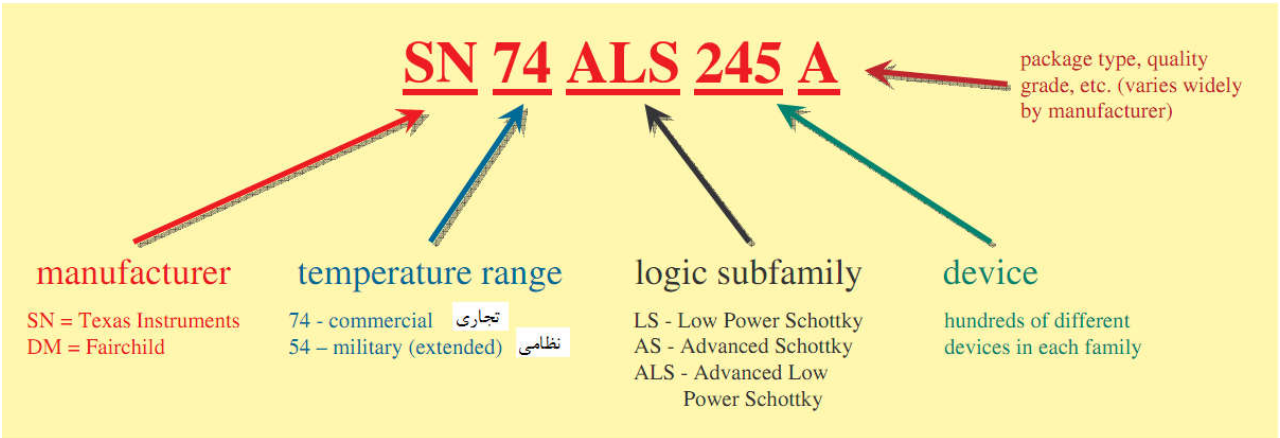
قبل از شروع کار لازم است آشنایی اولیه در مورد انواع آی سی‌های منطقی داشته باشیم و همچنین نحوهٔ کار با آنها را یاد بگیریم .

متداولترین خانواده مدارهای منطقی که حاوی مدارهای پایه هستند عبارتند از خانوادهٔ CMOS و خانوادهٔ TTL.

برای شناخت یک تراشهٔ دیجیتال از نظر نوع تکنولوژی ساخت و عملکرد آن ، می‌توان از شمارهٔ مخصوصی که روی هر آی‌سی نوشته شده است استفاده کرد . با توجه به این شماره و مراجعه به کتابچه‌های CMOS یا TTL می توان با عملکرد آن تراشه بصورت کامل آشنا شد . متداولترین آی‌سی‌های TTL با پیشوند 74 و آی‌سی‌های CMOS با پیشوند 4 از هم متمایز می‌گردند . در شکل زیرطریقهٔ شناخت تراشه و ترتیب قرار گرفتن پایه‌های آن آورده شده است .



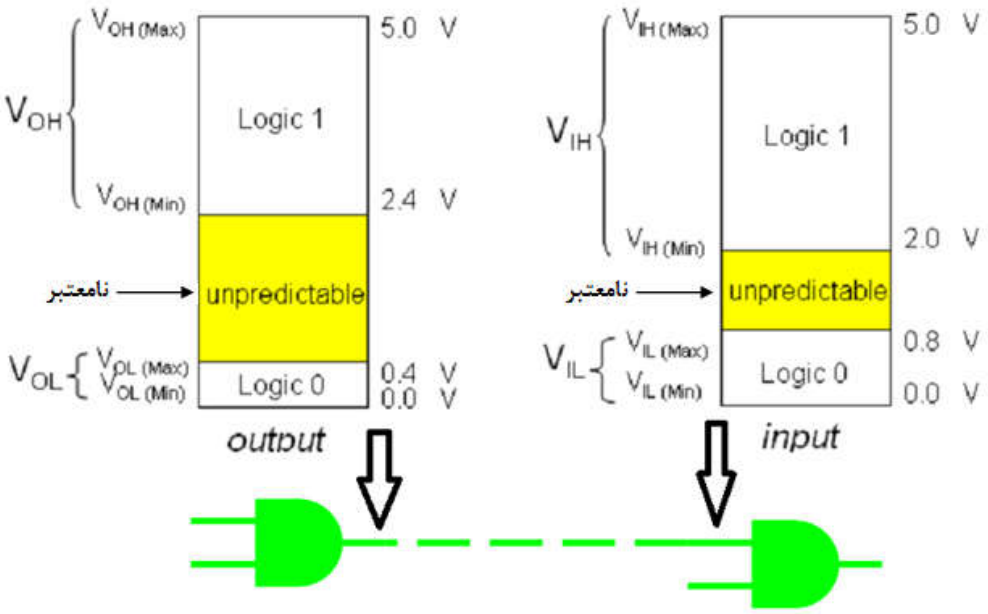
برای مثال شکل زیر چگونگی بدست آوردن اطلاعات اولیه از روی شمارهٔ تراشه را نشان داده است .



بعضی از زیر گروههای مربوط به خانوادهٔ TTL در جدول زیر آمده است :

حرف اختصاری	مفهوم آن
C	نمونهٔ CMOS آی‌سی TTL آن
F	نمونهٔ سریع
H	نمونهٔ سریع و پر قدرت
S	نمونهٔ شاتکی
HC	نمونهٔسریع CMOS آی‌سی TTL که با CMOS سازگار است
HCT	نمونهٔسریع CMOS آی‌سی TTL که با TTL سازگار است
L	کم مصرف
LS	کم مصرف با ورودی شاتکی
ALS	نمونهٔ پیشرفته کم مصرف با ورودی شاتکی

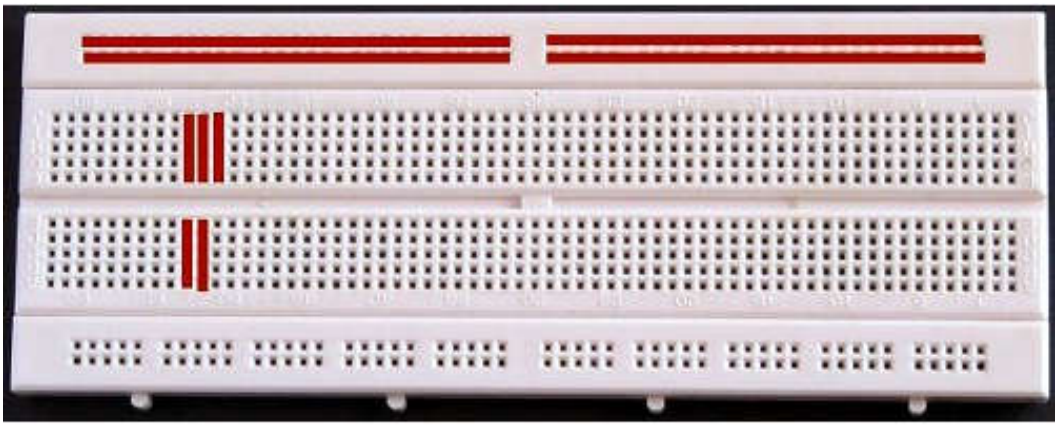
سطح تغذیه در خانواده TTL ولتاژ نامی ۵+ ولت و در خانوادهٔ CMOS از ۳+ تا ۱۵ ولت می تواند انتخاب شود . همچنین سطوح منطقی معتبر صفر و یک برای ورودی و خروجیهای خانواده TTLدر شکل زیر آمده است .

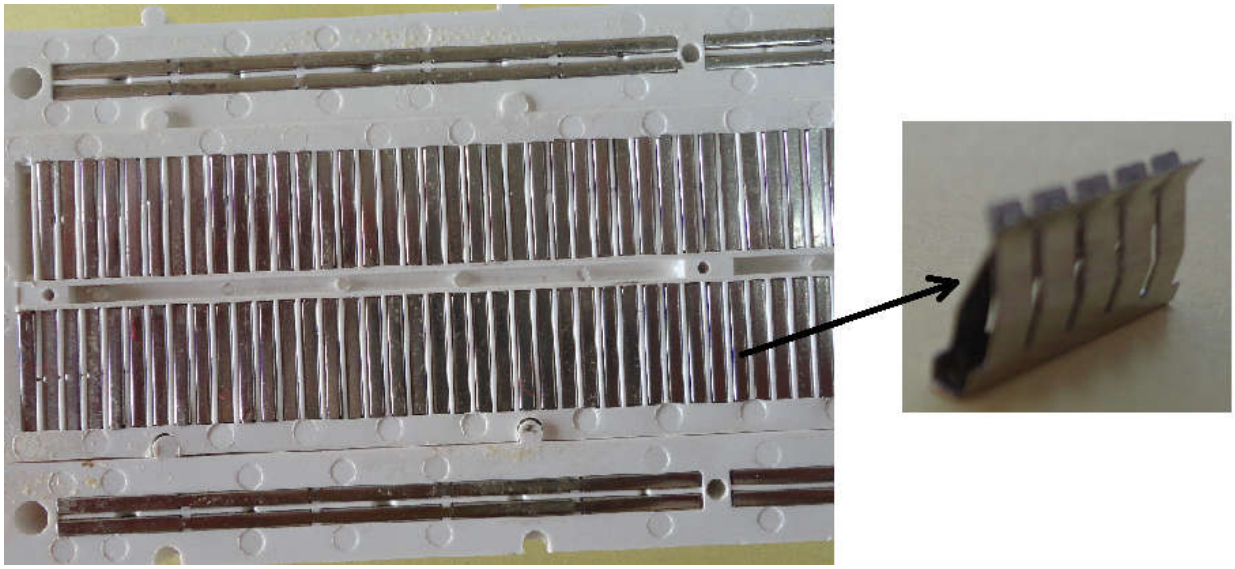


شکل سمت چپ ولتاژ معتبر برای خروجی یک گیت در سطوح منطقی ’0‘ و ’1‘ را نشان می دهد . برای سطح منطقی ’1‘ ولتاژ خروجی گیت در بازهٔ 2.4V تا 5V و برای سطح ’0‘ در بازهٔ 0V تا 0.4V باید قرار گیرد . حال اگر ولتاژ اندازه گیری شده در خروجی گیت در بازهٔ 0.4V تا 2.4V باشد سطح منطق خروجی نامعتبر خواهد بود . حالت نامعتبر معمولا ناشی از خرابی گیت ، ولتاژ تغذیهٔ ناکافی و یا ناشی از بار اضافی در خروجی است.
شکل سمت راست نیز سطوح ولتاژ معتبر برای ورودی گیت را نشان می دهد .

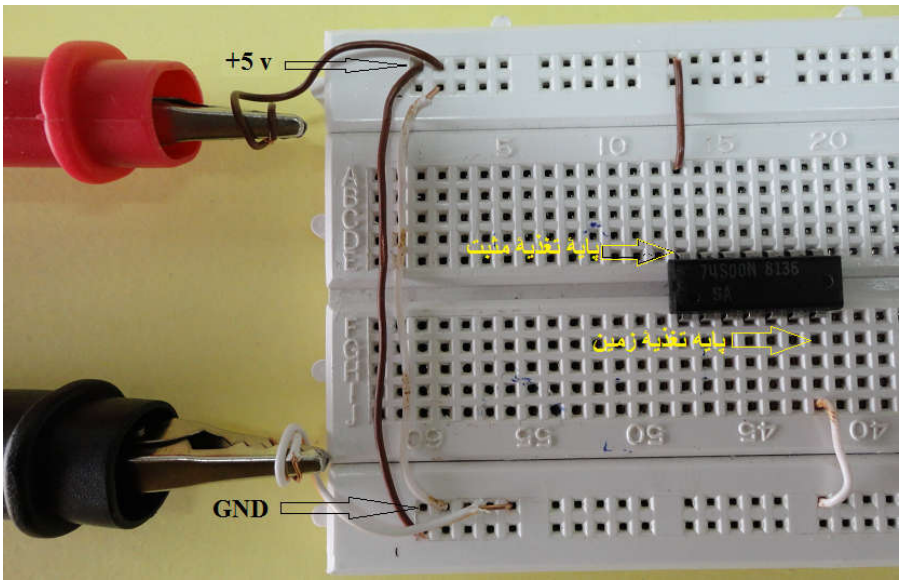
چگونگی استفاده از برد بورد در آزمایشگاه مدارهای منطقی:

به نمای ظاهری بردبورد در دو شکل زیر توجه کنید . این دو شکل اتصالات داخلی بردبورد را نشان می دهد . سوراخهای موجود در ردیفهای کناری در بالا و پایین برد بورد بصورت افقی تا وسط برد بورد بهم متصل هستند . ردیفهای قرار گرفته در دو طرف شیار وسط بردبورد بصورت عمودی دارای اتصال هستند . خطوط قرمز رنگ روی شکل نشان دهندهٔ چگونگی این اتصالات است .





معمولاً ردیفهای دو طرف بردبورد در بالا و پایین بعنوان ردیفهای تغذیه مورد استفاده قرار میگیرد . همانطور که در شکل بعدی می بینید یکی از ردیفهای بالا برای تغذیهٔ مثبت و ردیف دیگر بعنوان ردیف زمین و یا صفر در نظر گرفته شده سپس با استفاده از دو سیم دو ردیف دیگر بردبورد نیز به تغذیه مثبت و زمین متصل گردیده است.در این صورت شما می توانید از دو طرف آی سی و از نزدیکترین نقطه به ولتاژ مثبت و زمین دسترسی داشته باشید. سعی کنید در تمام آزمایشات از بردبورد به همین صورت استفاده کنید.



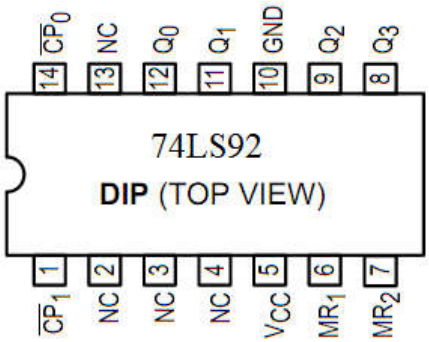
برای قرار دادن آی سی روی بردبورد همانند شکل بالا حتماً باید از سوراخهای دو طرف شیار وسط برد بورد استفاده کرد تا پایه های دو طرف آی سی اتصال کوتاه نشوند. توجه داشته باشید برای بستن مدار و استفاده از آی سی ابتدا پایه های تغذیه مثبت و زمین را به ردیفهای مربوطه در بالا و یا پایین برد بورد متصل نمایید . برای تحریک ورودیهای مدار برای منطق صفر و یا یک ، میتوان بترتیب از اتصال پایه ها به ردیف زمین و یا مثبت استفاده نمود.

خواندن راهنمای آی سی(Datasheet)

برای انجام آزمایش با یک تراشه ابتدا باید با کارکرد آن و چیدمان پایه های آن آشنا شد . برای این منظور سازندگان آی سی راهنمای (DataSheet) آنرا در اختیار کاربران قرار می دهند . راحتترین راه برای دسترسی به این راهنما استفاده از اینترنت است . در آزمایشگاه راهنمای تراشه هایی که در آزمایشات مختلف با آنها سر و کار داریم در قالب یک نرم افزار در اختیار دانشجویان قرار می گیرد . همچنین در داخل دستور کار نیز ، این راهنما در انتهای هر دستور آزمایش قرار گرفته است. اکنون چند اصطلاح مهم که در راهنمای تراشه ها وجو دارند را توضیح میدهیم.

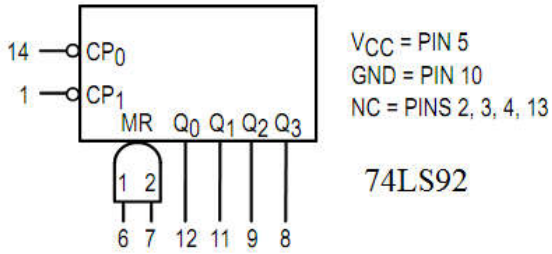
۱- شکل ظاهری تراشه (CONNECTION DIAGRAM)

شکل ظاهری تراشه با ذکر شماره و اسم هر پایه در CONNECTION DIAGRAM تراشه نمایش داده می شود . اگر از قبل با عملکرد این آی سی آشنا باشید این شکل برای بستن مدار و استفاده از این آی سی کافی خواهد بود و گر نه به اطلاعات بیشتری نیاز خواهید داشت . بعنوان مثال در شکل زیر شکل ظاهری تراشهٔ ۷۴۹۲ نشان داده شده است .



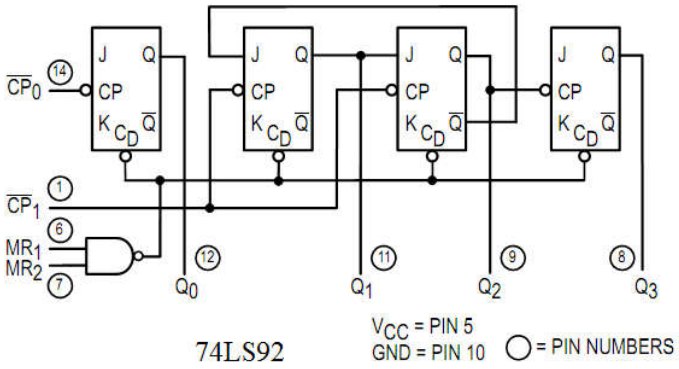
۲- نماد منطقی (LOGIC SYMBOL)

معمولاً این شکل از نمایش آی سی ، مناسب ترسیم مدارات منطقی روی کاغذ و یا نرم افزارهای الکترونیک است. در این شکل هر پایه با ذکر شمارهٔ پایه و نام آن آورده می شود . البته محل قرار گیری پایه با شکل واقعی آن تفاوت دارد . شکل زیر نماد منطقی تراشهٔ ۷۴۹۲ است . معمولا در این شکل ، پایه های تغذیه آورده نمی شود. اسم و شمارهٔ هر پایه در این شکل را با شکل قبلی مقایسه کنید.



۳- LOGIC DIAGRAM

در این شکل ، جزئیات مدار در سطح گیت و فلیپ فلاپ نشان داده می شود . شکل زیر مدار داخلی تراشهٔ ۷۴۹۲ را نشان می دهد .



۴- TRUTH TABLE (جدول درستی) : در این جدول ، عملکرد خروجیهای آی سی با توجه به حالات مختلف ورودی نشان داده می شود. شکلهای بالا و جدول درستی ، تقریباً تمامی اطلاعاتی که برای استفاده از یک

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

آی سی لازم است را در اختیار کاربر قرار می دهد. با کنارهم گذاشتن شکلهای مربوط به این تراشه و جدول اخیر می توان از کاربرد این آی سی و همچنین وظایف هر یک از پایه های آن مطلع شد .

آزمایش اول

آشنایی با تراشه‌های منطقی

پیش گزارش

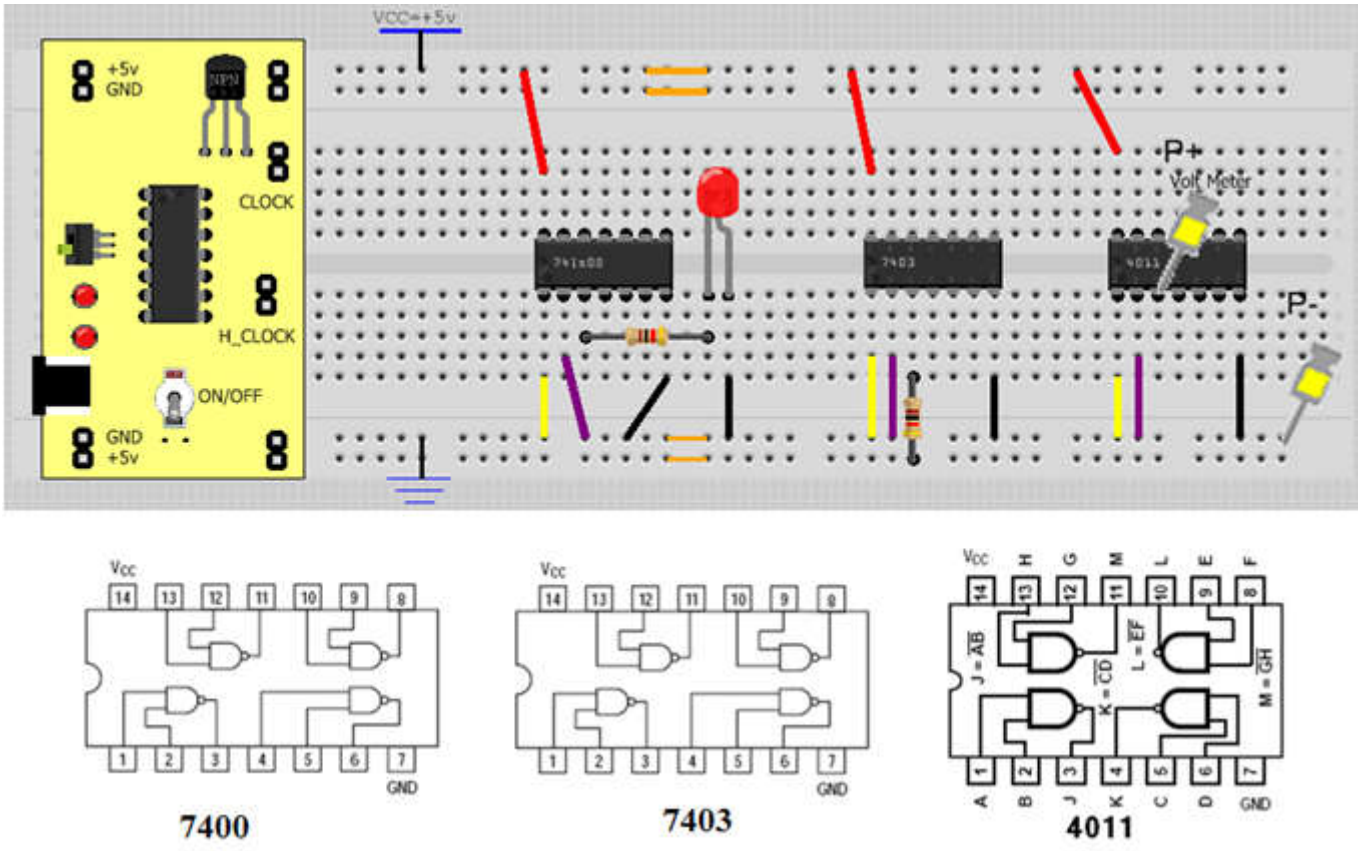
مطالعهٔ مقدمهٔ دستور کار

آزمایش ۱-۱

در این آزمایش یک دروازهٔ NAND در دو خانوادهٔ TTL و CMOS با دو نوع خروجی متفاوت را مورد بررسی قرار میدهیم . تراشه ۷۴۰۰و ۷۴۰۳ هر دو از خانوادهٔ TTL و هر کدام حاوی چهار عدد دروازهٔ NAND می باشد . اولی دارای خروجی استاندارد (totem pole) و دومی دارای خروجی کلکتور باز است . تراشهٔ ۴۰۱۱ نیز دارای چهار عدد دروازهٔ NAND از خانوادهٔ CMOS است .

الف - ابتدا با مراجعه به شکل ۱ (شکل پایین) با پیکر بندی داخلی آی سی های ۷۴۰۰ ، ۷۴۰۳ و ۴۰۱۱ آشنا شوید. به پایه های تغذیهٔ مثبت و زمین در هر آی سی توجه کنید .

سپس طبق شکل (۱) آی سی ها را بصورت مناسب و بترتیب روی بردبورد قرار داده و سیم بندی را انجام دهید . اکنون بصورت همزمان و طبق جدول ۱ با تغییر ورودیها ، خروجی هر سه گیت را با استفاده از ولت متر اندازه گیری کرده و نتایج را در جدول(۱) یادداشت نمایید .



شکل ۱- مدار آزمایش ۱-۱ و راهنمای تراشه ها

	جدول (۱) : نتایج آزمایش ۱-۱									
	7400				7403				4011	
ورودی			On/off	0/1	بدون مقاومت		با مقاومت			
A	B	ولتاژ	LED	منطق	ولتاژ	منطق	ولتاژ	منطق	ولتاژ	منطق
0	0									
0	1									
1	0									
1	1									
0	باز									
1	باز									

جدول ۱

گزارش کار

سؤال (۱) : مقدار مقاومت بین خروجی و LED بر اساس چه ملاحظاتی انتخاب میشود؟ رابطهٔ آنرا بدست آورده و در گزارش کار بیاورید .

سؤال(۲) : در مورد سه نوع خروجی استاندارد ، کلکتور باز و سه حالته تحقیق کنید و نتایج آنرا در چند خط در گزارش کار بنویسید . با توجه به نتایج تحقیق ، مقادیر بدست آمده برای آی سی ۷۴۰۳ را توجیه کنید.

سوال (۳) : ورودی باز در هر یک از خانوادهٔ TTL و CMOS دارای چه منطقی است ؟در مورد مدار داخلی یک گیت NAND خانواده TTL و CMOS تحقیق کرده و مدار آنرا در گزارش کار بیاورید. با توجه به مدار گیت در مورد نتایج دو حالت آخر (حالت ورودی باز) توضیح دهید.

آزمایش دوم

آشنایی با مدارهای جمع کننده

پیش گزارش :

۱- مدار جمع کنندهٔ کامل یک بیتی را با استفاده گیتهای XOR (۷۴۸۶) و NAND (۷۴۰۰) طراحی کنید. مراحل طراحی مانند جدول درستی ، جداول ساده سازی و در نهایت شکل مدار را روی کاغذ بیاورید.

آزمایش۲-۱

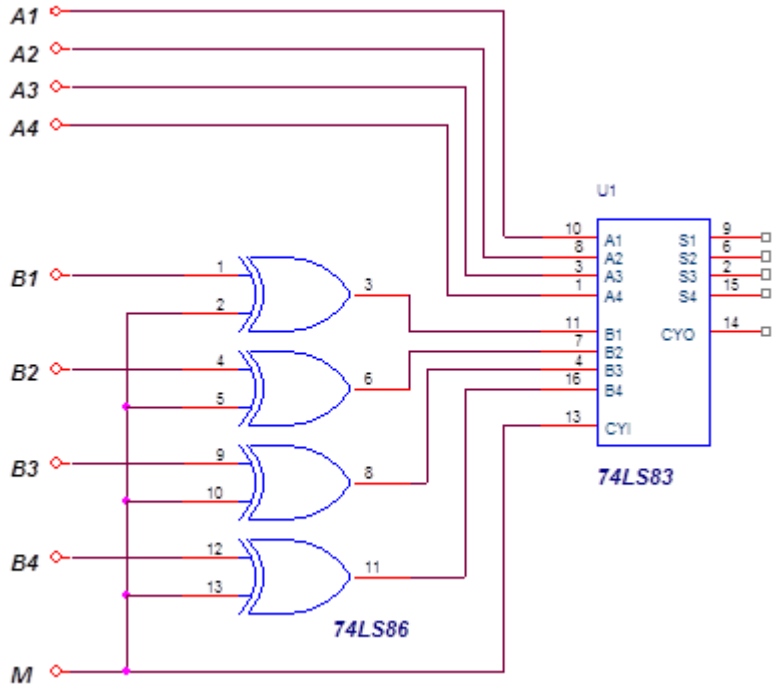
مدار جمع کنندهٔ کامل یک بیتی طراحی شده در پیش گزارش را روی بردبورد ببندید و با تغییر ورودی مطابق جدول ۲ عملکرد مدار را بررسی کرده و مقادیر خروجی را در جدول یادداشت کنید.

Ci	A	B	Sum	Co
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	1	0		
1	1	1		

جدول ۲

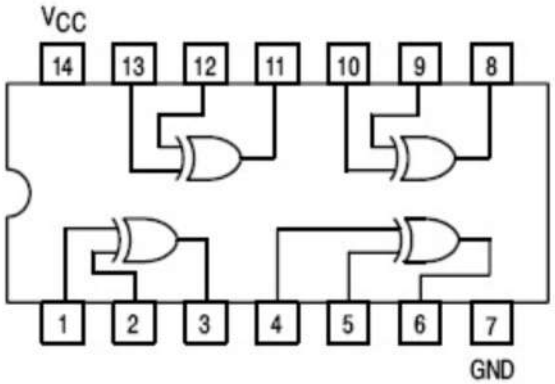
آزمایش۲-۲

مدار جمع کننده /تفریق کنندهٔ شکل زیر را روی برد بورد ببندید. با دادن ورودیهای مختلف طبق جدول ۳ (صفحهٔ بعد) ، درستی عملکرد مدار را بررسی نمایید. (شکل آی سی های ۷۴۸۶ و ۷۴۸۳ در صفحهٔ بعد آمده است)

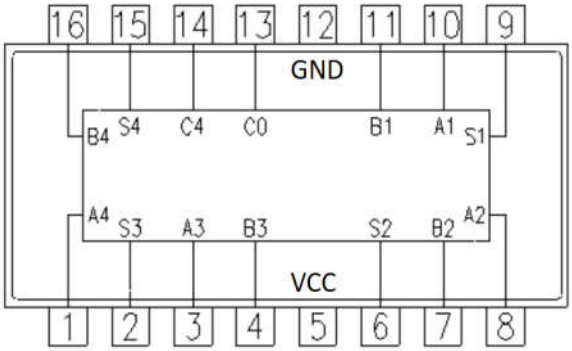


M	A	B	Sum	Co
0	0011	0010		
1	0011	0010		
0	0010	0011		
1	0010	0011		
0	1001	1000		
1	1001	1000		

جدول ۳



7486 XOR Gate



7483 4-Bit Full Adder

آزمایش سوم

آشنایی با مدارهای دیکودر و مالتی پلکسر

پیش گزارش:

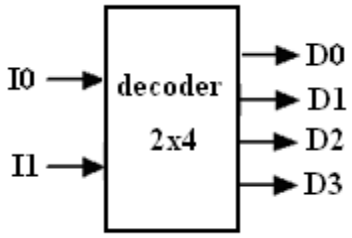
۱- مدار دیکودر دو به چهار را با استفاده از گیتهای AND (۷۴۰۸) و NAND (۷۴۰۰) طراحی کنید. مراحل طراحی مانند جداول درستی ، جداول ساده سازی و در نهایت شکل مدار را روی کاغذ بیاورید.

۲- مدار اِنکودر چهار به دو را با استفاده از گیت NAND و مطابق جدول آزمایش ۳-۲ طراحی کنید.

۳- مدار مالتی پلکسر دو به یک را فقط با استفاده از گیت NAND طراحی کنید. مراحل طراحی مانند جداول درستی ، جداول ساده سازی و در نهایت شکل مدار را روی کاغذ بیاورید.

آزمایش۳-۱

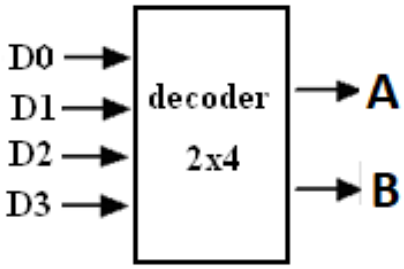
با استفاده از پیش گزارش مدار دیکودر طراحی شده را ببندید م مطابق جدول زیر مورد آزمایش قرار داده و درستی عملکرد آنرا بررسی کنید .



A	B	D3	D2	D1	D0
0	0				
0	1				
1	0				
1	1				

آزمایش۳-۲

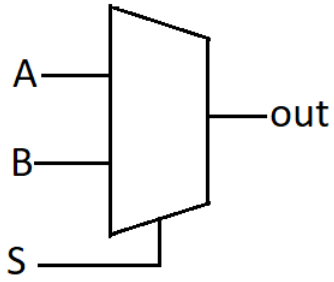
مدار اِنکودر طراحی شده در پیش گزارش را روی برد بورد ببندید و درستی عملکرد آنرا مشاهده نمایید.



D3	D2	D1	D0	A	B
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

آزمایش۳-۳

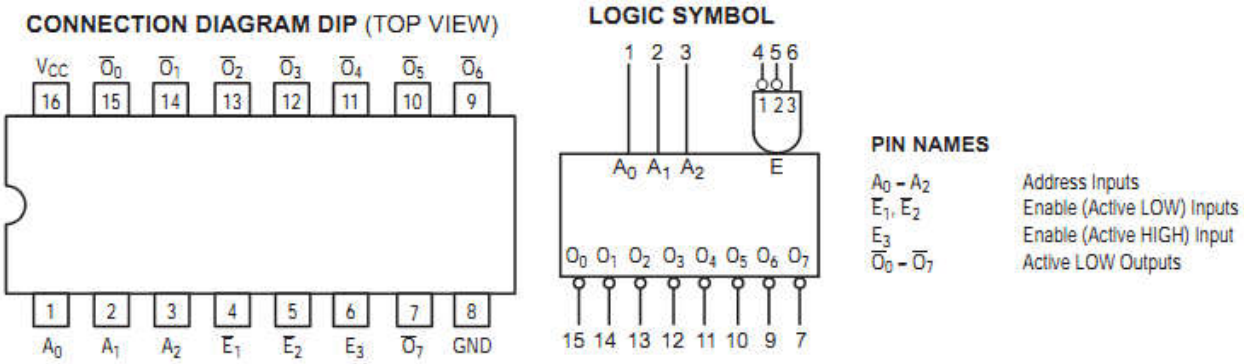
با استفاده از پیش گزارش ، مدار مالتی پلکسر دو به یک را ببندید و عملکرد آنرا با تغییر ورودیها مطابق جدول زیر و مشاهدهٔ خروجی مورد بررسی قرار دهید.



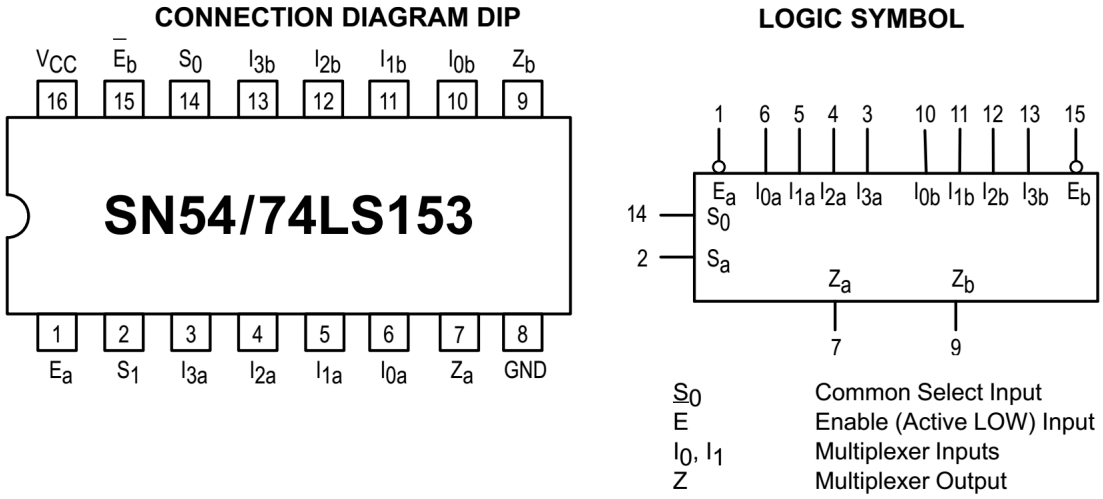
S	A	B	out
0	0	x	
0	1	x	
1	x	0	
1	x	1	

گزارش کار

۱ : تراشهٔ ۷۴۱۳۸ یک دیکودر سه به هشت است. با مراجعه به راهنمای این تراشه با عملکرد آن آشنا شوید .
با استفاده از تراشهٔ ۷۴۱۳۸ و گیتهای مناسب یک دیکودر چهار به شانزده طراحی کنید .



۲: تراشهٔ ۷۴۱۵۳ دارای دو مالتی پلکسر چهار به یک است . با مراجعه به راهنمای این تراشه با عملکرد آن آشنا شوید سپس با استفاده از این تراشه و گیتهای مناسب یک مالتی پلکسر هشت به یک طراحی کنید.



آزمایش چهارم

آشنایی با فلیپ فلاپها

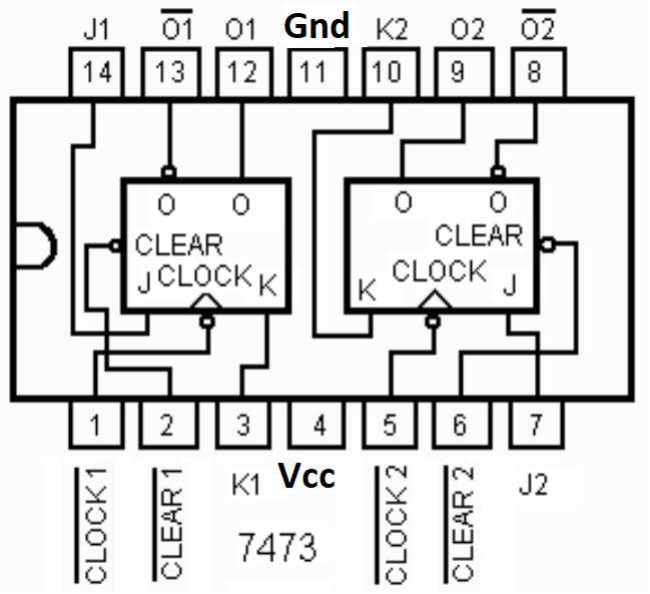
پیش گزارش :

۱- مطالعهٔ راهنمای تراشهٔ ۷۴۷۳

۲- مطالعهٔ راهنمای تراشهٔ ۷۴۷۴

آزمایش۴-۱

۱- تراشه ۷۴۷۳ حاوی دو عدد فلیپ فلاپ JK می‌باشد ، یکی از فلیپ فلاپها را انتخاب کرده مطابق جدول زیر مورد آزمایش قرار دهید. و نتایج خروجی را یادداشت کنید.



CLEAR	J	K	Q	/Q
0	x	x		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

۲- در حالت Toggle خروجی و ورودی کلاک را بصورت همزمان توسط اسیلوسکوپ مشاهده کنید . نسبت بین فرکانس خروجی و ورودی را بدست آورید.

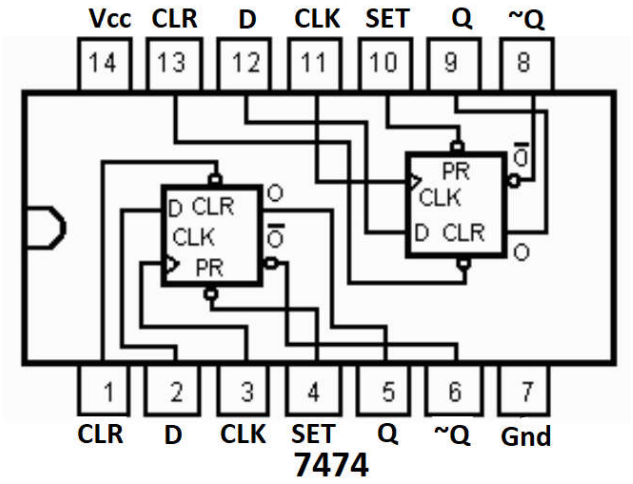
۳- با استفاده از دو فلیپ فلاپ موجود در تراشه یک مقسم چهار پیاده سازی کنید. توسط اسیلوسکوپ صحت عملکرد مدار را بررسی نمایید. با اتصال LED به خروجیهای مدار و کاهش فرکانس کلاک چگونگی شمارش را مشاهده کنید.

آزمایش۴-۲

۱- تراشه ۷۴۷۴ حاوی دو عدد فلیپ فلاپ D می‌باشد ، یکی از فلیپ فلاپها را انتخاب کرده مطابق جدول زیر مورد آزمایش قرار دهید. و نتایج خروجی را یادداشت کنید.

۲- یک مقسم چهار توسط دو فلیپ فلاپ D بسازید. و توسط اسیلوسکوپ درستی عملکرد آنرا بررسی نمایید.

این فلیپ فلاپ به چه لبه ای از پالس ساعت حساس است ؟



CLEAR	SET	D	Q	~Q
0	0	x		
1	0	x		
0	1	x		
1	1	0		
1	1	1		
1	1	~Q		

آزمایش پنجم

طراحی شمارنده‌ها

پیش گزارش :

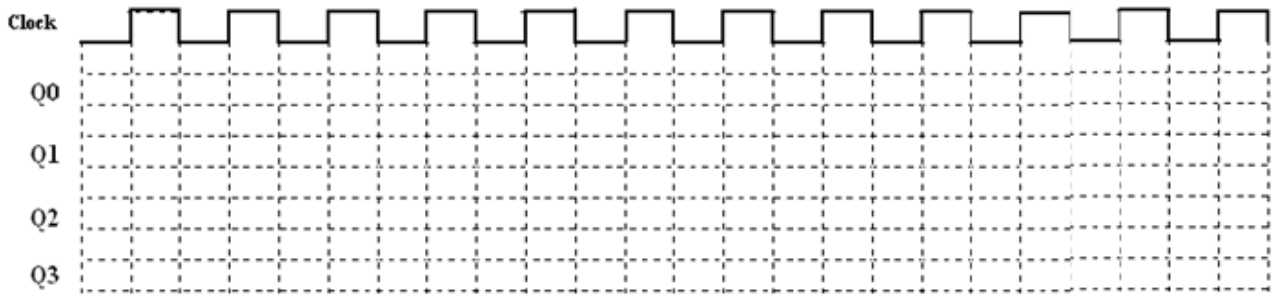
۱- با استفاده از فلیپ فلاپ JK (۷۴۷۳) و گیت NAND (۷۴۰۰) یک شمارندهٔ همگام مبنای پنج را طراحی کنید. جداول درستی ، ساده سازی ، روابط و در نهایت شکل مدار را روی کاغذ بیاورید.

۲- با استفاده از فلیپ فلاپ JK و گیت XOR (۷۴۸۶)یک شمارندهٔ صعودی و نزولی مبنای سه طراحی کنید. این شمارنده دارای یک ورودی کنترل M است بطوریکه اگر M=0 شمارنده بصورت صعودی و اگر M=1 بصورت نزولی شمارش نماید . جداول درستی ، ساده سازی ، روابط و در نهایت شکل مدار را روی کاغذ بیاورید.

آزمایش۵-۱

۱- شمارندهٔ همگام مبنای ۵ پیش گزارش را ببندید . و با اعمال پالس ساعت با فرکانس پایین ، خروجیها را توسط LED نمایش دهید .

۲- فرکانس کلاک را به ده کیلوهرتز افزایش دهید و سپس هریک از خروجیها را نسبت به کلاک توسط اسیلوسکوپ مشاهده کرده و در شکل زیر رسم نمایید.



آزمایش۵-۲

شمارندهٔ همگام صعودی/نزولی مبنای ۳ پیش گزارش را ببندید و خروجیها را توسط LED مشاهده کنید.

آزمایش ششم

آشنایی با تراشه های شمارنده و مبدل دهدهی به هفت قسمتی

پیش گزارش:

تراشهٔ ۷۴۹۰ می‌تواند بصورت یک شمارندهٔ مبنای ۱۰ ناهمگام عمل کند . با مراجعه به کاتالوگ این تراشه ، با شیوهٔ کار آن آشنا شوید و به سوالات زیر پاسخ دهید:

۱- نقش پایه های MR1 ، MR2 و پایه های MS1 ، MS2 چیست؟

۲- چرا این تراشه دارای دو کلاک CP0 و CP1 است ؟

۳- برای شمارش اعداد صفر تا نه سیم بندی تراشه چگونه باید باشد ؟ شکل مدار را رسم کنید.

آزمایش۴-۱

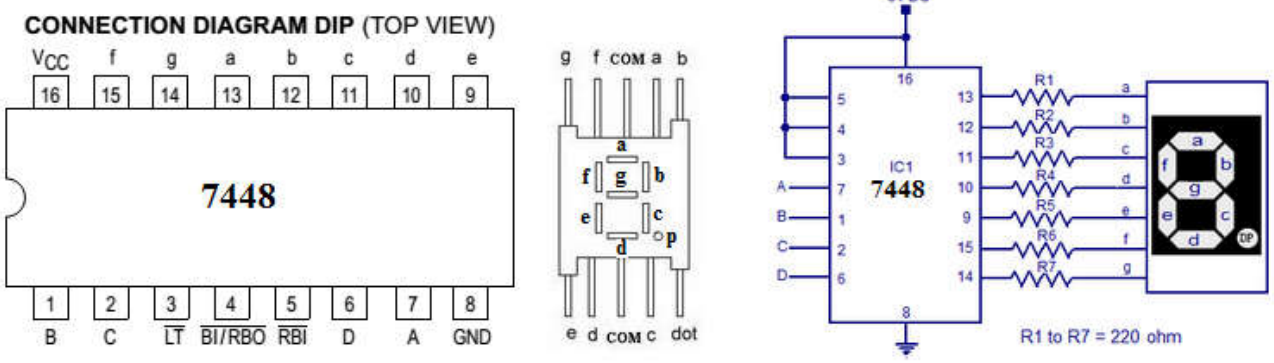
الف – تراشه ۷۴۴۷ یا ۷۴۴۸ را به یک نمایشگر هفت قسمتی همانند شکل زیر متصل کرده و به ازاء حالات مختلف ورودی (۰۰۰۰ تا ۱۱۱۱) ، علائم مشخص شده روی نمایشگر را یادداشت کنید . توجه داشته باشید قرار دادن مقاومت بین تراشه و نمایشگر جهت جلوگیری از سوختن نمایشگر و تراشه الزامی است .

ب – پایه شماره ۳ تراشه (Lamp Test) را به ولتاژ صفر متصل کنید و به ازاء چند حالت مختلف ورودی ، تغییرات خروجی را مشاهده کنید .(برای ادامه این پایه را باز بگذارید)

ج – پایه شماره ۴ تراشه (BI/RBO) را به ولتاژ صفر متصل کنید سپس به ازاء چند حالت مختلف مقدار نمایش داده شده توسط سون سگمنت را مشاهده کنید. (برای ادامه این پایه را باز بگذارید)

د - پایهٔ شمارهٔ ۵ (RBI) را به ولتاژ صفر متصل کنید. به ازاء عدد ورودی صفر و یک عدد ورودی دلخواه دیگر ، مقدار نمایش داده شده توسط سون سگمنت را مشاهده کنید. (برای ادامه این پایه را باز بگذارید)

توجه : مدار را برای ادامهٔ آزمایش نگهدارید.



آزمایش۴-۲

۱- با استفاده از تراشهٔ ۷۴۹۰ یک شمارندهٔ مبنای ۱۰ را پیاده سازی کنید . خروجی را توسط مدار7_segment مشاهده نمایید .

۲- با تغیر ترکیب مدار ۷۴۹۰، شمارنده را به یک شمارندهٔ زوج و فرد تبدیل کنید.

گزارش کار

سؤالات :

۱- نقش پایه های Lamp-Test ، RBI و BI/RBO در تراشه‌های ۷۴۴۷ و ۷۴۴۸ چیست ؟

۲- چگونه می توان با تراشهٔ ۷۴۹۰ شمارنده در مبناهای مختلف ساخت ؟ (از مبنای ۳ تا مبنای ۹) شکل مدار را برای مبنای شش و هشت رسم کنید.

MOTOROLA

BCD TO 7-SEGMENT DECODER

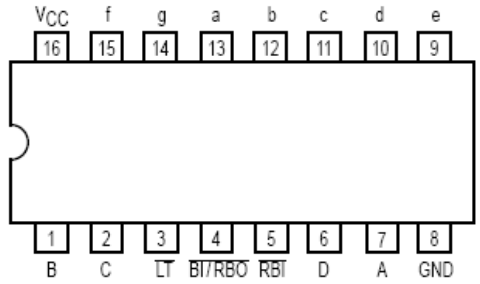
The SN54/74LS48 is a BCD to 7-Segment Decoder consisting of NAND gates, input buffers and seven AND-OR-INVERT gates. Seven NAND gates and one driver are connected in pairs to make BCD data and its complement available to the seven decoding AND-OR-INVERT gates. The remaining NAND gate and three input buffers provide lamp test, blanking input/ripple-blanking input for the LS48.

The circuit accepts 4-bit binary-coded-decimal (BCD) and, depending on the state of the auxiliary inputs, decodes this data to drive other components. The relative positive logic output levels, as well as conditions required at the auxiliary inputs, are shown in the truth tables.

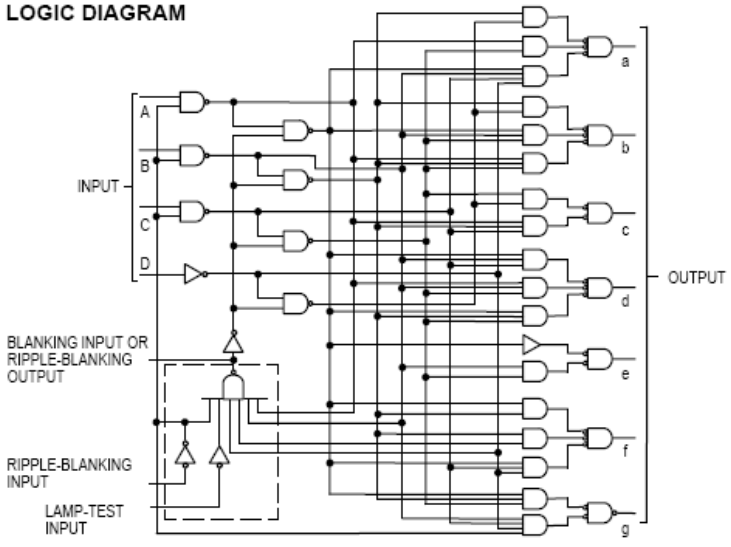
The LS48 circuit incorporates automatic leading and/or trailing edge zero-blanking control (RBI and RBO). Lamp Test (LT) may be activated any time when the BI/RBO node is HIGH. Both devices contain an overriding blanking input (BI) which can be used to control the lamp intensity by varying the frequency and duty cycle of the BI input signal or to inhibit the outputs.

- Lamp Intensity Modulation Capability (BI/RBO)
- Internal Pull-Ups Eliminate Need for External Resistors
- Input Clamp Diodes Eliminate High-Speed Termination Effects

CONNECTION DIAGRAM DIP (TOP VIEW)



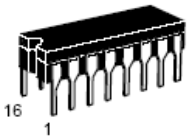
LOGIC DIAGRAM



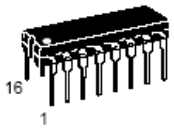
SN54/74LS48

BCD TO 7-SEGMENT DECODER

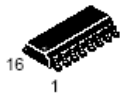
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

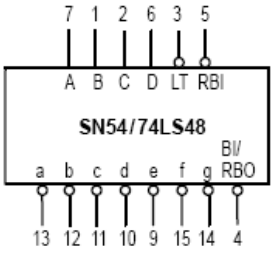


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

SN54/74LS48

PIN NAMES

		LOADING (Note a)	
		HIGH	LOW
A, B, C, D	BCD Inputs	0.5 U.L.	0.25 U.L.
$\overline{RBI}$	Ripple-Blanking (Active Low) Input	0.5 U.L.	0.25 U.L.
$\overline{LT}$	Lamp-Test (Active Low) Input	0.5 U.L.	0.25 U.L.
$\overline{BI}/RBO$	Blanking Input or Ripple-Blanking Output (Active Low)	0.5 U.L. 1.2 U.L.	0.75 U.L. 2(1) U.L.
$\overline{BI}$	Blanking (Active Low) Input	0.5 U.L. Open-Collector	0.25 U.L. 3.75 (1.25) U.L. (48)

NOTES:
a) Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW
b) Outut current measured at V_{OUT} = 0.5 V
Output LOW drive factor is SN54LS/74LS48: 1.25 U.L. for Military (54), 3.75 U.L. for Commercial (74).

NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS

TRUTH TABLE
SN54/74LS48

	INPUTS							OUTPUTS							
DECIMAL OR FUNCTION	$\overline{LT}$	$\overline{RBI}$	D	C	B	A	$\overline{BI}/RBO$	a	b	c	d	e	f	g	NOTE
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
$\overline{BI}$	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
$\overline{RBI}$	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
$\overline{LT}$	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

NOTES:
(1) BI/RBO is wired-AND logic serving as blanking input ($\overline{BI}$) and/or ripple-blanking output (RBO). The blanking out ($\overline{BI}$) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input ($\overline{RBI}$) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X=input may be HIGH or LOW.
(2) When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.
(3) When ripple-blanking input ($\overline{RBI}$) and inputs A, B, C, and D are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output (RBO) goes to a LOW level (response condition).
(4) When the blanking input/ripple-blanking output (BI/RBO) is open or held at a HIGH level, and a LOW level is applied to lamp-test input, all segment outputs go to a LOW level.

MOTOROLA

SN54/74LS90
SN54/74LS92
SN54/74LS93

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

DECADE COUNTER;
DIVIDE-BY-TWELVE COUNTER;
4-BIT BINARY COUNTER

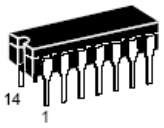
LOW POWER SCHOTTKY

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

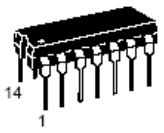
- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects

PIN NAMES		LOADING (Note a) HIGH	LOW
$\overline{CP}_0$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

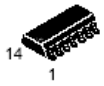
NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06



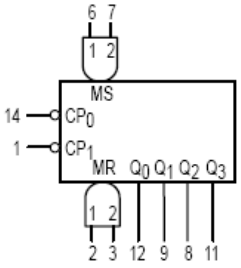
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

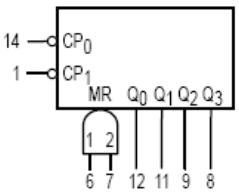
LOGIC SYMBOL

LS90



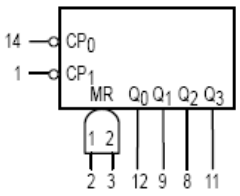
V_{CC} = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



V_{CC} = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

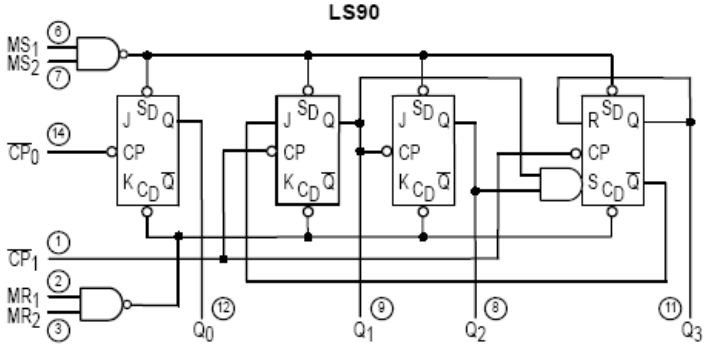
LS93



V_{CC} = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

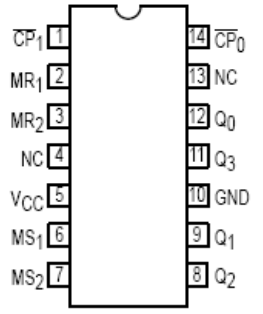
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

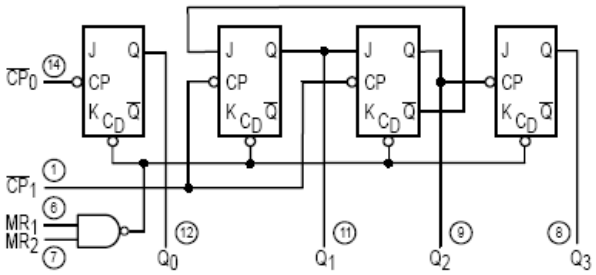


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

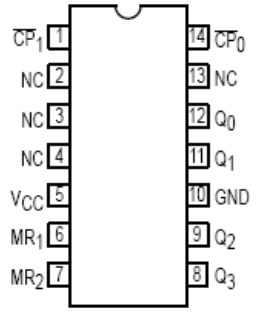
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

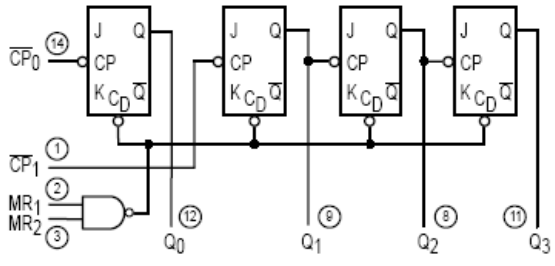


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

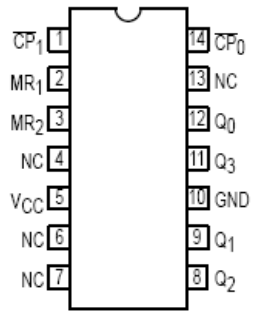
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

LS90
MODE SELECTION

RESET / SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count.

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1.

آزمایش هفتم

آشنایی با تراشه شیفت رجیستر

آزمایش۴-۱

تراشهٔ ۷۴۱۹۴ یک ثبات انتقالی چهار بیتی با امکانات ورودی موازی و سری و انتقال به راست و چپ می‌باشد با مراجعه به کتابچهٔ راهنما با نحوهٔ کار آن آشنا شوید . در ادامه آزمایش زیر را با تراشه انجام دهید .

۱- ابتدا مقدار بایتری 0110 را به ورودی موازی اعمال کنید سپس با استفاده از حالت بارگذاری موازی ، مقدار ورودی را در ثبات ذخیره کنید. مقدار خروجی را مشاهده کنید.

۲- اکنون با استفاده از خطوط انتخاب مقدار بارگذاری شده را به راست شیفت دهید. در همین حالت ورودی سریال شیفت به راست را تغییر حالت دهید و تغییرات خروجی را مشاهده نمایید.

۳- در ادامه با استفاده از خطوط انتخاب مقدار 0110 را دوباره بارگذاری نموده و سپس حالت شیفت به چپ را انتخاب کنید. ورودی سریال شیفت به چپ را تغییر حالت دهید و تغییرات خروجی را مشاهده نمایید.

آزمایش۴-۱

تراشهٔ ۷۴۱۹۵ یک ثبات انتقالی چهار بیتی با امکانات ورودی موازی و انتقال به چپ می‌باشد با مراجعه به کتابچهٔ راهنما با نحوهٔ کار آن آشنا شوید . در ادامه آزمایش زیر را با تراشه انجام دهید .

۱- ابتدا مقدار بایتری 0110 را به ورودی موازی اعمال کنید سپس با استفاده از حالت بارگذاری موازی ، مقدار ورودی را در ثبات ذخیره کنید. مقدار خروجی را مشاهده کنید.

۲- با دادن مقادیر متفاوت به ورودیهای J و K مطابق جدول درستی در راهنمای تراشه عملکرد خروجی را مشاهده کنید.

۳- با استفاده از این تراشه یک شمارندهٔ جانسون چهاربیتی بسازید و سپس مورد آزمایش قرار دهید.

گزارش کار:

با استفاده از دو شیفت رجیستر 74194، یک شیفت رجیستر هشت بیتی انتقال به راست و چپ طرح کنید . مدار را به صورت کامل ترسیم نمایید .

MOTOROLA

SN54/74LS194A

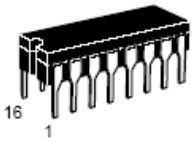
4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

The SN54/74LS194A is a High Speed 4-Bit Bidirectional Universal Shift Register. As a high speed multifunctional sequential building block, it is useful in a wide variety of applications. It may be used in serial-serial, shift left, shift right, serial-parallel, parallel-serial, and parallel-parallel data register transfers. The LS194A is similar in operation to the LS195A Universal Shift Register, with added features of shift left without external connections and hold (do nothing) modes of operation. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all Motorola TTL families.

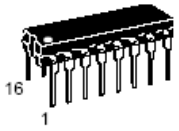
- Typical Shift Frequency of 36 MHz
- Asynchronous Master Reset
- Hold (Do Nothing) Mode
- Fully Synchronous Serial or Parallel Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects

4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

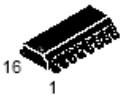
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

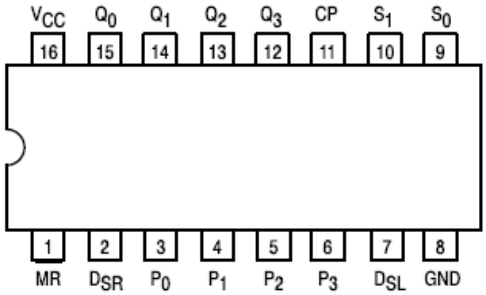


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

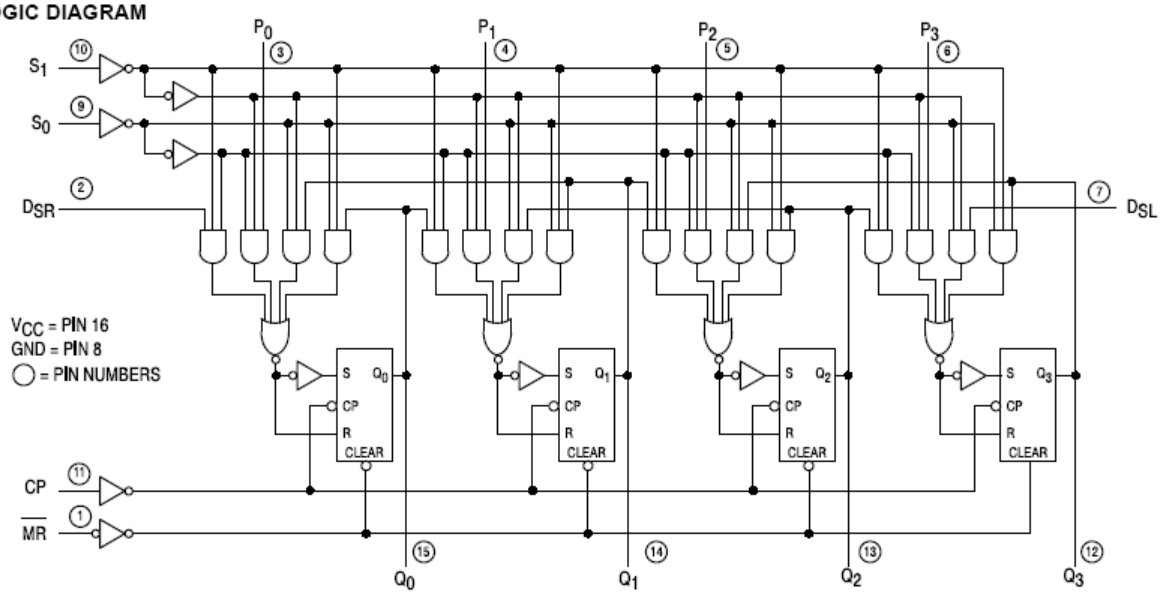
CONNECTION DIAGRAM DIP (TOP VIEW)



PIN NAMES		LOADING (Note a)	
		HIGH	LOW
S_0, S_1	Mode Control Inputs	0.5 U.L.	0.25 U.L.
P_0–P_3	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
D_{SR}	Serial (Shift Right) Data Input	0.5 U.L.	0.25 U.L.
D_{SL}	Serial (Shift Left) Data Input	0.5 U.L.	0.25 U.L.
$\overline{CP}$	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
Q_0–Q_3	Parallel Outputs (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The Logic Diagram and Truth Table indicate the functional characteristics of the LS194A 4-Bit Bidirectional Shift Register. The LS194A is similar in operation to the Motorola LS195A Universal Shift Register when used in serial or parallel data register transfers. Some of the common features of the two devices are described below:

All data and mode control inputs are edge-triggered, responding only to the LOW to HIGH transition of the Clock (CP). The only timing restriction, therefore, is that the mode control and selected data inputs must be stable one set-up time prior to the positive transition of the clock pulse.

The register is fully synchronous, with all operations taking place in less than 15 ns (typical) making the device especially useful for implementing very high speed CPUs, or the memory buffer registers.

The four parallel data inputs (P_0, P_1, P_2, P_3) are D-type inputs. When both S_0 and S_1 are HIGH, the data appearing on P_0, P_1, P_2, and P_3 inputs is transferred to the Q_0, Q_1, Q_2, and Q_3 outputs respectively following the next LOW to HIGH transition of the clock.

The asynchronous Master Reset ($\overline{MR}$), when LOW, overrides all other input conditions and forces the Q outputs LOW.

Special logic features of the LS194A design which increase the range of application are described below:

Two mode control inputs (S_0, S_1) determine the synchronous operation of the device. As shown in the Mode Selection Table, data can be entered and shifted from left to right (shift right, Q_0 Q_1, etc.) or right to left (shift left, Q_3 Q_2, etc.), or parallel data can be entered loading all four bits of the register simultaneously. When both S_0 and S_1,are LOW, the existing data is retained in a "do nothing" mode without restricting the HIGH to LOW clock transition.

D-type serial data inputs (D_{SR}, D_{SL}) are provided on both the first and last stages to allow multistage shift right or shift left data transfers without interfering with parallel load operation.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS						OUTPUTS			
	MR	S_1	S_0	D_{SR}	D_{SL}	P_n	Q_0	Q_1	Q_2	Q_3
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	q_0	q_1	q_2	q_3
Shift Left	H	h	l	X	l	X	q_1	q_2	q_3	L
	H	h	l	X	h	X	q_1	q_2	q_3	H
Shift Right	H	l	h	l	X	X	L	q_0	q_1	q_2
	H	l	h	h	X	X	H	q_0	q_1	q_2
Parallel Load	H	h	h	X	X	P_n	P_0	P_1	P_2	P_3

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition
h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition
p_n (q_n) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.

MOTOROLA

SN54/74LS195A

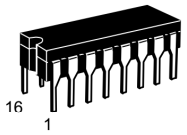
UNIVERSAL 4-BIT SHIFT REGISTER

The SN54/74LS195A is a high speed 4-Bit Shift Register offering typical shift frequencies of 39 MHz. It is useful for a wide variety of register and counting applications. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all Motorola TTL products.

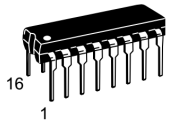
- Typical Shift Right Frequency of 39 MHz
- Asynchronous Master Reset
- J, K Inputs to First Stage
- Fully Synchronous Serial or Parallel Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects

UNIVERSAL 4-BIT SHIFT REGISTER

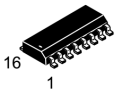
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

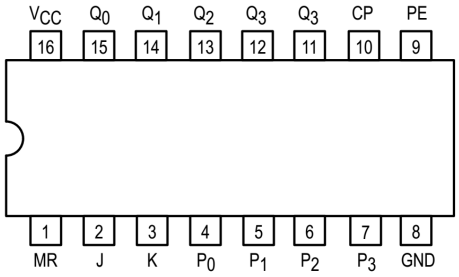


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

CONNECTION DIAGRAM DIP (TOP VIEW)



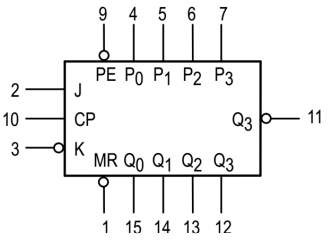
NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

PIN NAMES

		LOADING (Note a) HIGH	LOW
$\overline{PE}$	Parallel Enable (Active LOW) Input	0.5 U.L.	0.25 U.L.
$P_0 - P_3$	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
J	First Stage J (Active HIGH) Input	0.5 U.L.	0.25 U.L.
$\overline{K}$	First Stage K (Active LOW) Input	0.5 U.L.	0.25 U.L.
CP	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
$\overline{MR}$	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
$Q_0 - Q_3$	Parallel Outputs (Note b)	10 U.L.	5 (2.5) U.L.
$\overline{Q}_3$	Complementary Last Stage Output (Note b)	10 U.L.	5 (2.5) U.L.

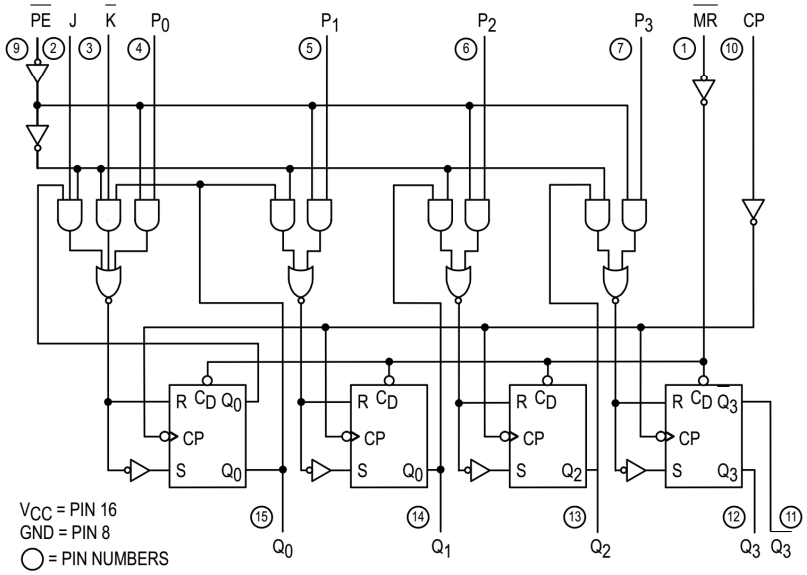
NOTES:
a. 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC SYMBOL



VCC = PIN 16
GND = PIN 8

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The Logic Diagram and Truth Table indicate the functional characteristics of the LS195A 4-Bit Shift Register. The device is useful in a wide variety of shifting, counting and storage applications. It performs serial, parallel, serial to parallel, or parallel to serial data transfers at very high speeds.

The LS195A has two primary modes of operation, shift right ($Q_0 \rightarrow Q_1$) and parallel load which are controlled by the state of the Parallel Enable (PE) input. When the PE input is HIGH, serial data enters the first flip-flop Q_0 via the J and K inputs and is shifted one bit in the direction $Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$ following each LOW to HIGH clock transition. The JK inputs provide the flexibility of the JK type input for special applications, and the simple D type input for general applications by tying the two pins together. When the $\overline{PE}$ input is LOW, the LS195A appears as four common clocked D flip-flops. The data on the parallel inputs P_0, P_1, P_2, P_3 is transferred to the respective Q_0, Q_1, Q_2, Q_3 outputs following the LOW to HIGH clock transition. Shift left operations ($Q_3 \rightarrow Q_2$) can be achieved by tying the Q_n Outputs to the P_{n-1} inputs and holding the PE input LOW.

All serial and parallel data transfers are synchronous, occurring after each LOW to HIGH clock transition. Since the LS195A utilizes edge-triggering, there is no restriction on the activity of the J, K, P_n and PE inputs for logic operation — except for the set-up and release time requirements.

A LOW on the asynchronous Master Reset (MR) input sets all Q outputs LOW, independent of any other input condition.

MODE SELECT — TRUTH TABLE

OPERATING MODES	INPUTS					OUTPUTS				
	MR	PE	J	K	P_n	Q_0	Q_1	Q_2	Q_3	$\overline{Q_3}$
Asynchronous Reset	L	X	X	X	X	L	L	L	L	H
Shift, Set First Stage	H	h	h	h	X	H	q_0	q_1	q_2	$\overline{q_2}$
Shift, Reset First	H	h	l	l	X	L	q_0	q_1	q_2	$\overline{q_2}$
Shift, Toggle First Stage	H	h	h	l	X	q_0	q_0	q_1	q_2	$\overline{q_2}$
Shift, Retain First Stage	H	h	l	h	X	q_0	q_0	q_1	q_2	$\overline{q_2}$
Parallel Load	H	l	X	X	p_n	p_0	p_1	p_2	p_3	$\overline{p_3}$

L = LOW voltage levels
H = HIGH voltage levels
X = Don't Care
l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition.
h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition.
p_n (q_n) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.

آزمایش هشتم

تقسیم کنندهٔ دو عدد چهار بیت با استفاده از روش تفریق و مقایسه

مطابق شکل زیر و با استفاده از تراشه هایی که تاکنون با آن کار کرده اید مداری طراحی کنید که بتواند دو عدد چهار بیت را به هم تقسیم کرده (A÷B) و در خروجیهای خود خارج قسمت و باقیمانده را نمایش دهد . مدار را با استفاده از تراشه هایی که تاکنون در آزمایشگاه از آن استفاده کرده اید طراحی کنید .