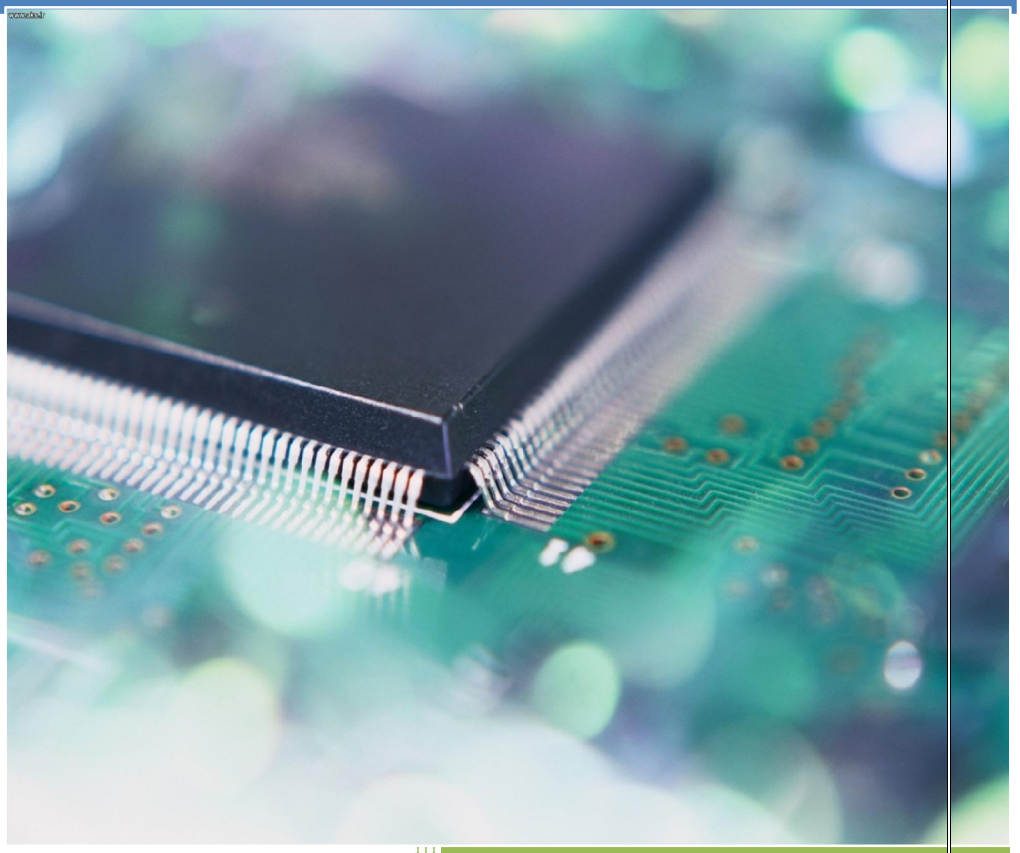
بسمه تعالی

دانشگاه کاشان

آزمایشگاه مدارهای منطقی



دانشکدهٔ برق و کامپیوتر
آزمایشگاه مدارمنطقی
محمّدرضا فتّاح

بخش اول

آشنایی با تراشه های منطقی و چگونگی بکارگیری آنها

بسمه تعالی

هدف از ارائهٔ آزمایشگاه مدارهای منطقی ،در مرحلهٔ اول آشنایی دانشجویان با چگونگی کار با تراشه‌های دیجیتال و همچنین چگونگی طراحی وپیاده سازی مدارات ساده ترکیبی وترتیبی دیجیتال با روش معمول و دستی است و در مرحلهٔ دوم طراحی و پیاده سازی با استفاده از زبانهای برنامه نویسی و توسط آی سی های برنامه پذیر است . قبل از شروع کار در آزمایشگاه لازم است نکاتی را در مورد چگونگی انجام آزمایشات و همچنین ارزیابی کار هر دانشجو متذکر شویم :

۱- دانشجو برای انجام هر آزمایش باید مقدمات آنرا قبل از ورود به آزمایشگاه آماده کند . که این موارد عبارتند از :

الف- مطالعه راهنمای آی سی های بکار رفته در آزمایش . راهنمای این آی سی ها در دستور کار آزمایش موجود است . لازم به ذکر است که در ابتدای هر جلسه ممکن است یک امتحانک (کوییز) در مورد مقدمات آن آزمایش به صورت کتبی گرفته شود .

ب- تهیه پیش گزارش : بسیاری از آزمایشاتی که قرار است انجام شود لازم است مدار آن قبلا طراحی شود. پس دانشجو باید قبل از ورود به آزمایشگاه و بعنوان پیش گزارش طراحی مدار را انجام داده و تمام مراحل طراحی را در پیش گزارش بیاورد . این موارد شامل جداول درستی ، جداول ساده سازی ، عبارات و همچنین شکل نهایی مدار است . پیش گزارش باید در دو نسخه و در کاغذ A4 تهیه شود که یک نسخهٔ آن به مربی آزمایشگاه تحویل داده می شود و نسخهٔ دیگر در اختیار دانشجو خواهد بود تا بر اساس آن آزمایش مربوطه را انجام دهد . در بخش دوم آزمایشگاه که طراحی توسط نرم افزار انجام میشود باید پیش گزارش بصورت فایل تحویل داده شود .

۲- حضور در تمام جلسات آزمایشگاه الزامی است و در صورت غیبت ، دانشجو باید در همان هفته و در یکی دیگر از گروهای آزمایشگاه و البته با هماهنگی مربی آزمایشگاه ، آزمایش مربوطه را انجام دهد . لازم به ذکر است غیبت بیش از دو جلسه مجاز نیست .

۳- هر آزمایش دارای چند قسمت می باشد که تمامی آنها در یک جلسه سه ساعته انجام می شود . بعد از اتمام هر جلسه آزمایشگاه دانشجو باید یک گزارش کار از آزمایشات انجام شده به مربی آزمایشگاه تحویل دهد . البته گزارش به صورت گروهی و حداکثر یک هفته بعد از انجام آزمایش تحویل می شود .

گزارش آزمایشگاه شامل نتایج هر آزمایش به صورت شکل و جداول و نتایج خروجی مدارها ، پاسخ سؤالات در هر آزمایش و در نهایت برداشت نهایی و تجربیات کسب شده دانشجو در آن آزمایش می باشد .

۴- نمره نهایی از مجموع نمرات زیر بدست خواهد آمد :

پیش گزارش کامل و درست(۲۵ درصد) – کار در آزمایشگاه و جواب درست آزمایشها(۳۵ درصد) – گزارش کار (۱۵ درصد)– امتحان عملی یا کتبی (۲۵ درصد)

لازم بذکر است حضور دانشجو در امتحان آزمایشگاه الزامیست . در غیر این صورت بقیه درصد نمرات نیز لحاظ نخواهد شد .

با آرزوی توفیق برای شما

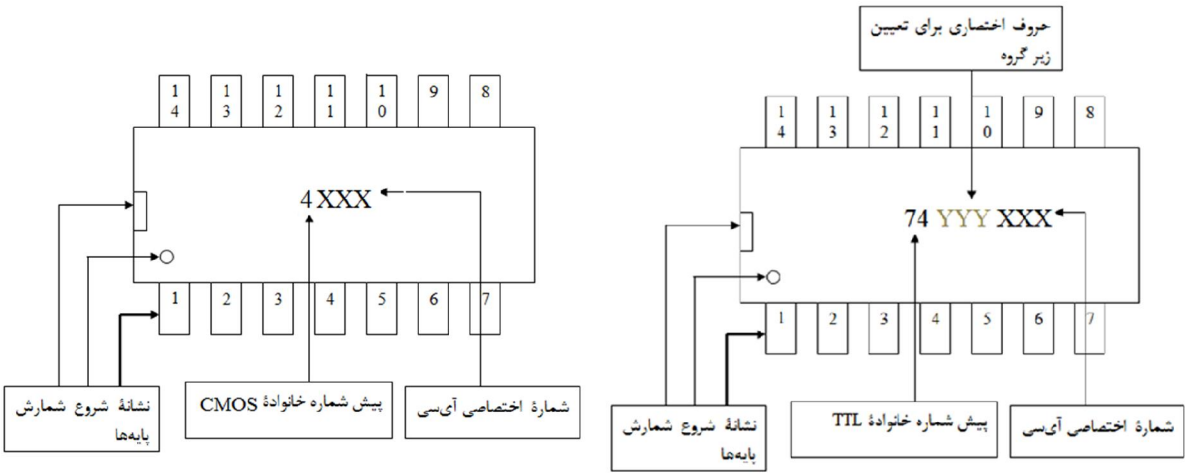
مربی آزمایشگاه : محمدرضا فتاح

مقدمه

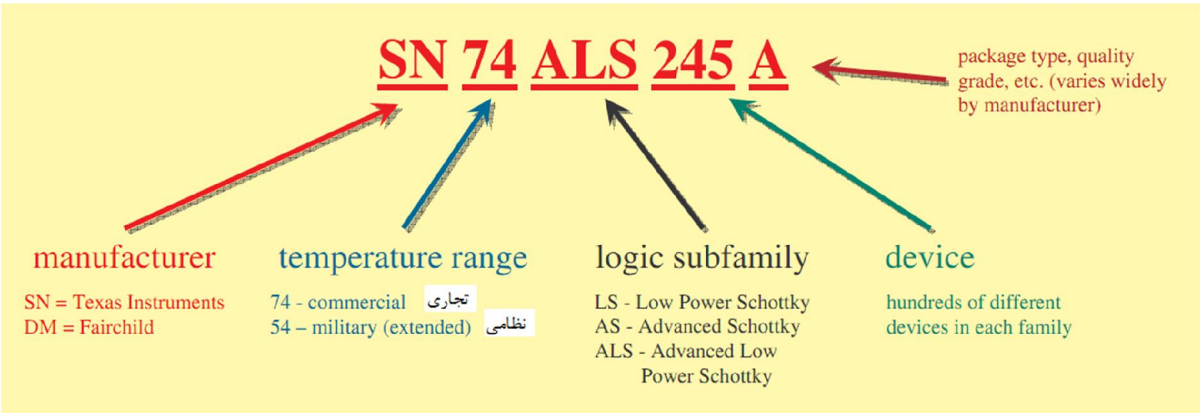
قبل از شروع کار لازم است آشنایی اولیه در مورد انواع آی سی‌های منطقی داشته باشیم و همچنین نحوهٔ کار با آنها را یاد بگیریم .

متداولترین خانواده مدارهای منطقی که حاوی مدارهای پایه هستند عبارتند از خانوادهٔ CMOS و خانوادهٔ TTL.

برای شناخت یک تراشهٔ دیجیتال از نظر نوع تکنولوژی ساخت و عملکرد آن ، می‌توان از شمارهٔ مخصوصی که روی هر آی‌سی نوشته شده است استفاده کرد . با توجه به این شماره و مراجعه به کتابچه‌های CMOS یا TTL می توان با عملکرد آن تراشه بصورت کامل آشنا شد . متداولترین آی‌سی‌های TTL با پیشوند 74 و آی‌سی‌های CMOS با پیشوند 4 از هم متمایز می‌گردند . در شکل زیرطریقهٔ شناخت تراشه و ترتیب قرار گرفتن پایه‌های آن آورده شده است .



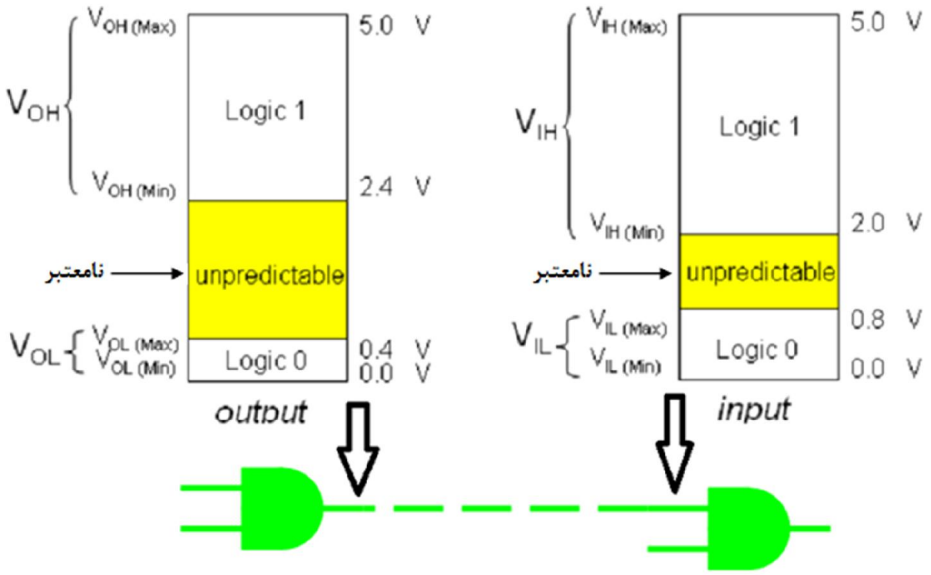
برای مثال شکل زیر چگونگی بدست آوردن اطلاعات اولیه از روی شمارهٔ تراشه را نشان داده است .



بعضی از زیر گروههای مربوط به خانوادهٔ TTL در جدول زیر آمده است :

حرف اختصاری	مفهوم آن
C	نمونهٔ CMOS آی‌سی TTL آن
F	نمونهٔ سریع
H	نمونهٔ سریع و پر قدرت
S	نمونهٔ شاتکی
HC	نمونهٔسریع CMOS آی‌سی TTL که با CMOS سازگار است
HCT	نمونهٔسریع CMOS آی‌سی TTL که با TTL سازگار است
L	کم مصرف
LS	کم مصرف با ورودی شاتکی
ALS	نمونهٔ پیشرفته کم مصرف با ورودی شاتکی

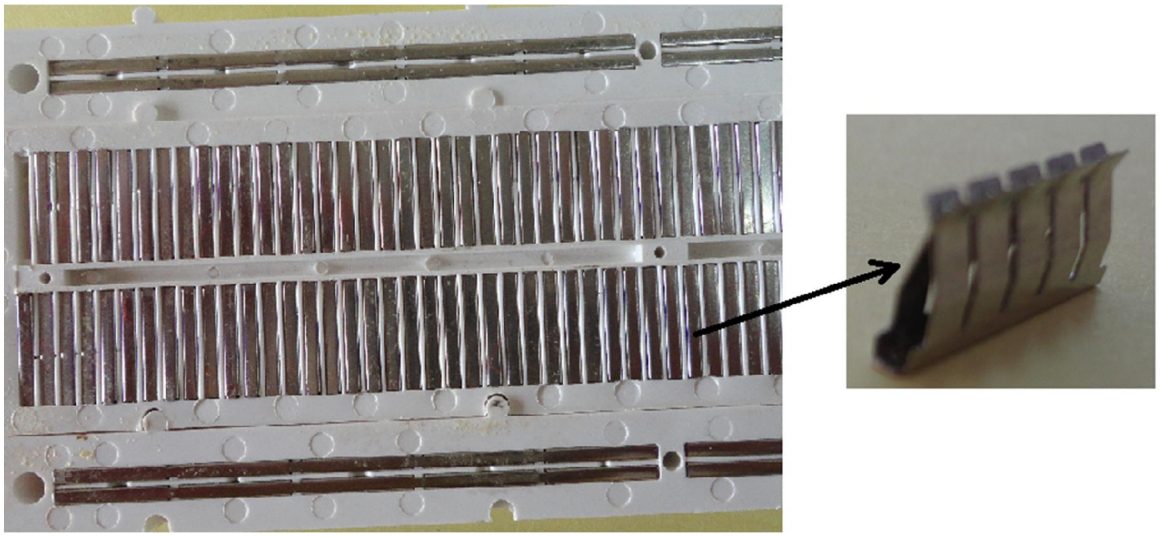
سطح تغذیه در خانواده TTL ولتاژ نامی ۵+ ولت و در خانوادهٔ CMOS از ۳+ تا ۱۵ ولت می تواند انتخاب شود . همچنین سطوح منطقی معتبر صفر و یک برای ورودی و خروجیهای خانواده TTLدر شکل زیر آمده است .



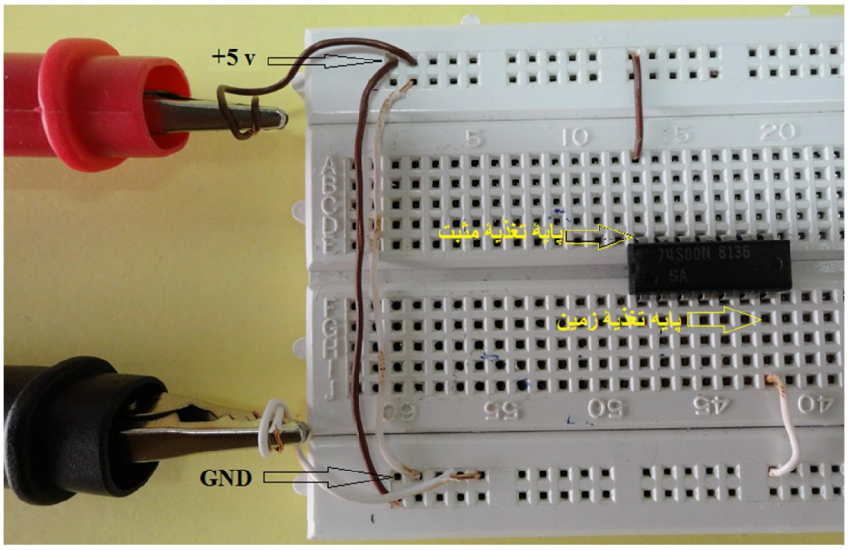
شکل سمت چپ ولتاژ معتبر برای خروجی یک گیت در سطوح منطقی ’0‘ و ’1‘ را نشان می دهد . برای سطح منطقی ’1‘ ولتاژ خروجی گیت در بازهٔ 2.4V تا 5V و برای سطح ’0‘ در بازهٔ 0V تا 0.4V باید قرار گیرد . حال اگر ولتاژ اندازه گیری شده در خروجی گیت در بازهٔ 0.4V تا 2.4V باشد سطح منطق خروجی نامعتبر خواهد بود . حالت نامعتبر معمولا ناشی از خرابی گیت ، ولتاژ تغذیهٔ ناکافی و یا ناشی از بار اضافی در خروجی است.
شکل سمت راست نیز سطوح ولتاژ معتبر برای ورودی گیت را نشان می دهد .

چگونگی استفاده از برد بورد در آزمایشگاه مدارهای منطقی:

به نمای ظاهری بردبورد در دو شکل زیر توجه کنید . این دو شکل اتصالات داخلی بردبورد را نشان می دهد . سوراخهای موجود در ردیفهای کناری در بالا و پایین برد بورد بصورت افقی تا وسط برد بورد بهم متصل هستند . ردیفهای قرار گرفته در دو طرف شیار وسط بردبورد بصورت عمودی دارای اتصال هستند . خطوط قرمز رنگ روی شکل نشان دهندهٔ چگونگی این اتصالات است .



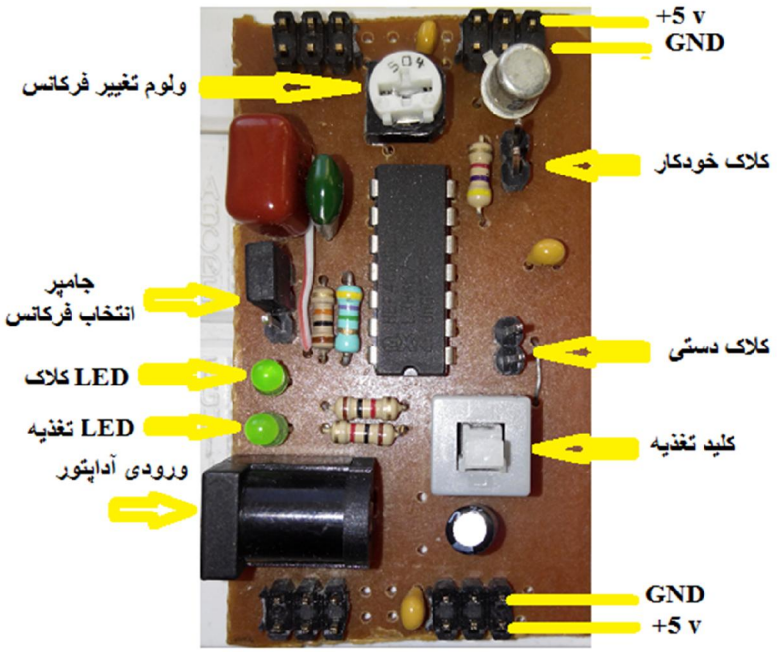
معمولاً ردیفهای دو طرف بردبورد در بالا و پایین بعنوان ردیفهای تغذیه مورد استفاده قرار میگیرد . همانطور که در شکل بعدی می بینید یکی از ردیفهای بالا برای تغذیهٔ مثبت و ردیف دیگر بعنوان ردیف زمین و یا صفر در نظر گرفته شده سپس با استفاده از دو سیم دو ردیف دیگر بردبورد نیز به تغذیه مثبت و زمین متصل گردیده است.در این صورت شما می توانید از دو طرف آی سی و از نزدیکترین نقطه به ولتاژ مثبت و زمین دسترسی داشته باشید. سعی کنید در تمام آزمایشات از بردبورد به همین صورت استفاده کنید.



برای قرار دادن آی سی روی بردبورد همانند شکل بالا حتماً باید از سوراخهای دو طرف شیار وسط برد بورد استفاده کرد تا پایه های دو طرف آی سی اتصال کوتاه نشوند. توجه داشته باشید برای بستن مدار و استفاده از آی سی ابتدا پایه های تغذیه مثبت و زمین را به ردیفهای مربوطه در بالا و یا پایین برد بورد متصل نمایید . برای تحریک ورودیهای مدار برای منطق صفر و یا یک ، میتوان بترتیب از اتصال پایه ها به ردیف زمین و یا مثبت استفاده نمود.

استفاده از بورد تغذیه

برای راحتی کار و در صورت عدم دسترسی به منبع تغذیه می توان از بورد تغذیه که برای همین منظور طراحی شده است استفاده نمود .این بورد مستقیماً روی بردبورد قرار می گیرد و توانایی تامین تغذیه ۵ ولت همراه با پالس مربعی TTL را دارا می باشد.



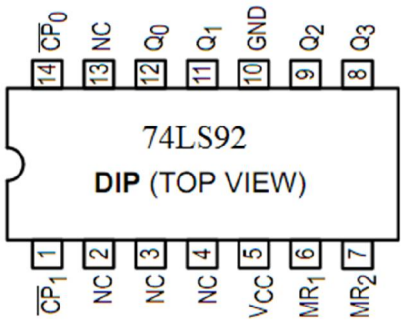
هنگام استفاده از این بورد باید به LED تغذیه و پالس توجه داشته باشید در هنگام روشن بودن بورد باید LED تغذیه در حالت روشن باشد . خاموش بودن این LED ، نشانگر وجود اتصال کوتاه در مدار خواهد بود در این صورت کلید منبع را در حالت خاموش قرار داده و نسبت به رفع عیب مدار اقدام کنید .

خواندن راهنمای آی سی(Datasheet)

برای انجام آزمایش با یک تراشه ابتدا باید با کارکرد آن و چیدمان پایه های آن آشنا شد . برای این منظور سازندگان آی سی راهنمای (DataSheet) آنرا در اختیار کاربران قرار می دهند . راحتترین راه برای دسترسی به این راهنما استفاده از اینترنت است . در آزمایشگاه راهنمای تراشه هایی که در آزمایشات مختلف با آنها سر و کار داریم در قالب یک نرم افزار در اختیار دانشجویان قرار می گیرد . همچنین در داخل دستور کار نیز ، این راهنما در انتهای هر دستور آزمایش قرار گرفته است. اکنون چند اصطلاح مهم که در راهنمای تراشه ها وجو دارند را توضیح میدهیم.

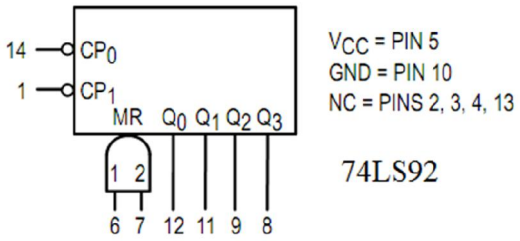
۱- شکل ظاهری تراشه (CONNECTION DIAGRAM)

شکل ظاهری تراشه با ذکر شماره و اسم هر پایه در CONNECTION DIAGRAM تراشه نمایش داده می شود . اگر از قبل با عملکرد این آی سی آشنا باشید این شکل برای بستن مدار و استفاده از این آی سی کافی خواهد بود و گر نه به اطلاعات بیشتری نیاز خواهید داشت . بعنوان مثال در شکل زیر شکل ظاهری تراشهٔ ۷۴۹۲ نشان داده شده است .



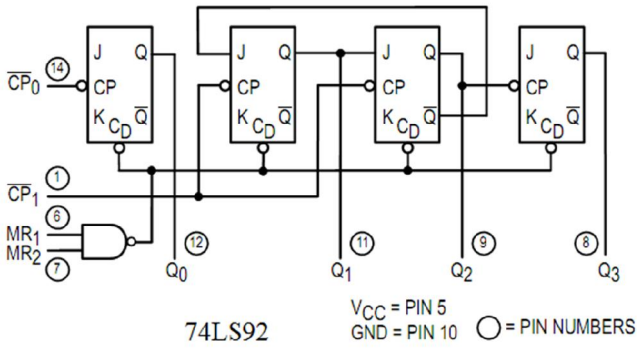
۲- نماد منطقی (LOGIC SYMBOL)

معمولاً این شکل از نمایش آی سی مناسب ترسیم مدارات منطقی روی کاغذ و یا نرم افزارهای الکترونیک است. در این شکل هر پایه با ذکر شمارهٔ پایه و نام آن آورده می شود . البته محل قرار گیری پایه با شکل واقعی آن تفاوت دارد . شکل زیر نماد منطقی تراشهٔ ۷۴۹۲ است . معمولا در این شکل ، پایه های تغذیه آورده نمی شود. ا سم و شمارهٔ هر پایه در این شکل را با شکل قبلی مقایسه کنید.



۳- LOGIC DIAGRAM

در این شکل از نمایش آی سی ، جزئیات مدار در سطح گیت و فلیپ فلاپ نشان داده می شود . شکل زیر مدار داخلی تراشهٔ ۷۴۹۲ را نشان می دهد .



۴- TRUTH TABLE (جدول درستی)

در این جدول ، عملکرد خروجیهای آی سی با توجه به حالات مختلف ورودی نشان داده می شود. شکلهای بالا و جدول درستی ، تقریباً تمامی اطلاعاتی که برای استفاده از یک آی سی لازم است را در اختیار کاربر قرار می دهد. جدول زیر نیز مربوط به تراشهٔ ۷۴۹۰ است با کنارهم گذاشتن شکلهای مربوط به این تراشه و جدول اخیر می توان از کاربرد این آی سی و همچنین وظایف هر یک از پایه های آن مطلع شد .

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

آزمایش اول

آشنایی با تراشه‌های منطقی

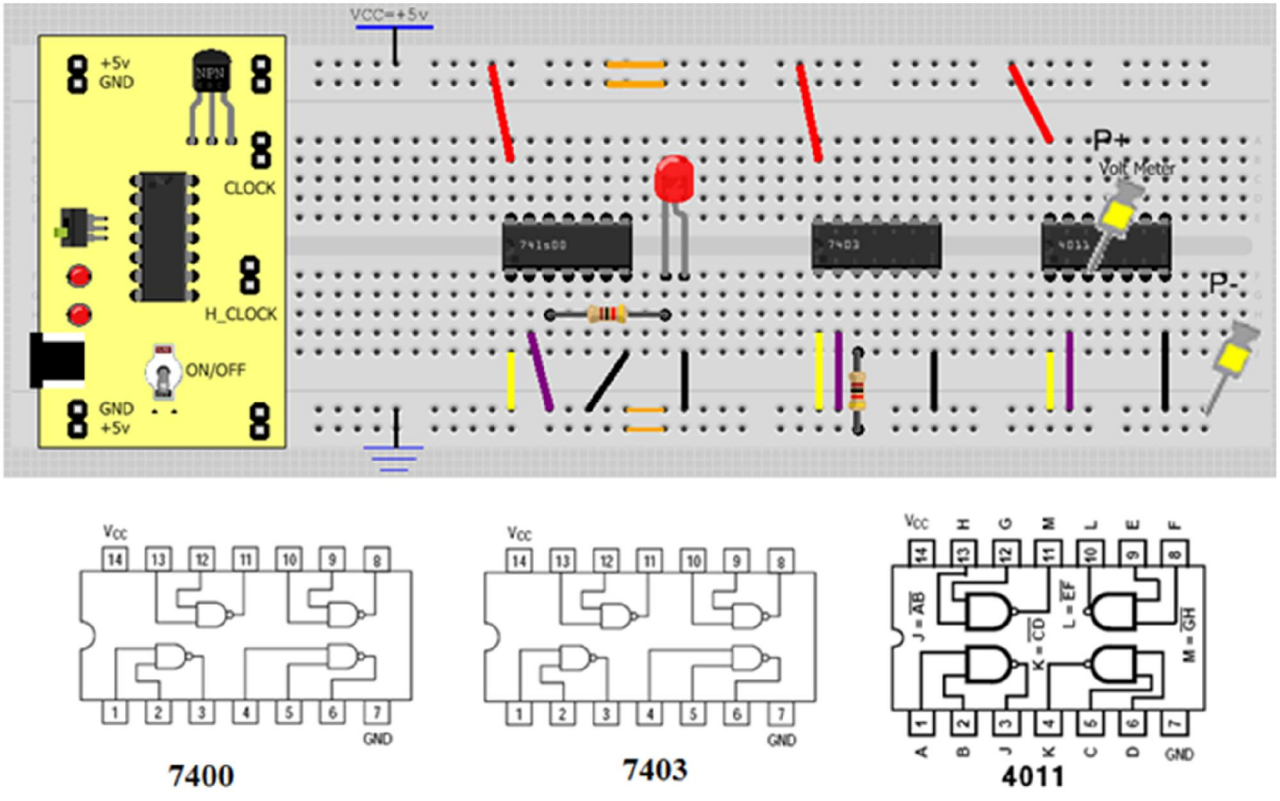
وسائل مورد نیاز بِردبورد ، تراشه‌های ۷۴۰۰ (NAND)، ۷۴۰۳ (NAND) و ۴۰۱۱ (NAND CMOS) و ۷۴۸۶ (XOR)

آزمایش ۱-۱

در این آزمایش یک دروازهٔ NAND در دو خانوادهٔ متفاوت TTL و CMOS با دو نوع خروجی متفاوت را مورد بررسی قرار میدهیم . تراشه ۷۴۰۰و ۷۴۰۳ هر دو از خانوادهٔ TTL و هر کدام حاوی چهار عدد دروازهٔ NANDمی باشند . اولی دارای خروجی استاندارد (totem pole) و دومی دارای خروجی کلکتور باز است . همچنین تراشهٔ ۴۰۱۱ که آنهم دارای چهار عدد دروازهٔ NAND از خانوادهٔ CMOS است .

الف - ابتدا با مراجعه به شکل ۱ (پایین شکل) با عملکرد آی سی های ۷۴۰۰ ، ۷۴۰۳ و ۴۰۱۱ آشنا شوید پایه های تغذیهٔ ۵ ولت و زمین را در هر آی سی مشخص کنید .

سپس طبق شکل (۱) آی سی ها را بصورت مناسب و بترتیب روی بردبورد قرار داده و سیم بندی را انجام دهید . اکنون بصورت همزمان و طبق جدول ۱ با تغییر ورودیها ، خروجی هر سه گیت را با استفاده از ولت متر اندازه گیری کرده و نتایج را در جدول یادداشت نمایید .



شکل ۱- مدار آزمایش ۱-۱ و راهنمای تراشه ها

	جدول (۱) : نتایج آزمایش ۱-۱									
	7400			7403				4011		
ورودی		On/off	0/1	بدون مقاومت		با مقاومت				
A	B	ولتاژ	LED	منطق	ولتاژ	منطق	ولتاژ	منطق	ولتاژ	منطق
0	0									
0	1									
1	0									
1	1									
0	باز									
1	باز									

جدول ۱

سؤال (۱) : مقدار مقاومت بین خروجی و LED بر اساس چه ملاحظاتی انتخاب میشود؟ رابطهٔ آنرا بدست آورده و در گزارش کار بیاورید .

سؤال(۲) : در مورد سه نوع خروجی استاندارد ، کلکتور باز و سه حالته تحقیق کنید و نتایج آنرا در چند خط در گزارش کار بنویسید . با توجه به نتایج تحقیق ، مقادیر بدست آمده برای آی سی ۷۴۰۳ را توجیه کنید.

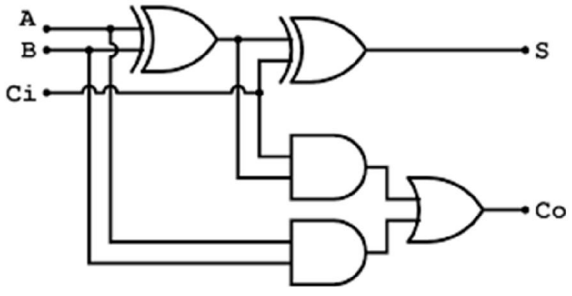
سوال (۳) : ورودی باز در هر یک از خانوادهٔ TTL و CMOS دارای چه منطقی است ؟در مورد مدار داخلی یک گیت NAND خانواده TTL و CMOS تحقیق کرده و مدار آنرا در گزارش کار بیاورید. با توجه به مدار گیت در مورد نتایج دو حالت آخر (حالت ورودی باز) توضیح دهید.

آزمایش ۱-۲

شکل ۳ مدار یک جمع کنندهٔ کامل یک بیتی را نشان می دهد . برای بستن مدار مراحل زیر را بترتیب انجام دهید

۱- فرض کنید فقط گیتهای XOR (۷۴۸۶) و NAND (۷۴۰۰) در اختیار داریم بنابراین ابتدا با روش تبدیل گیتها ، تغییرات لازم را در مدار اِعمال نمایید .

۲- مدار تغییر یافته را روی بردبورد ببندید و با تغییر ورودیها طبق جدول ۲ ، خروجیها را مشاهده کرده و نتایج را در جدول یادداشت نمایید . (خروجیها را با LED مشاهده کنید)

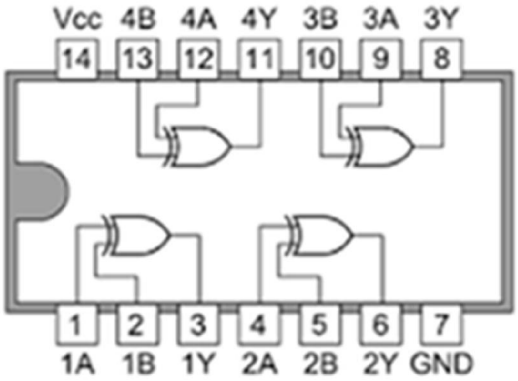


شکل ۲

Ci	A	B	Sum	Co
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	1	0		
1	1	1		

جدول ۲

سوال (۴) : مزیت مدار تغییر یافته نسبت به مدار اولیه در شکل ۲ چیست ؟



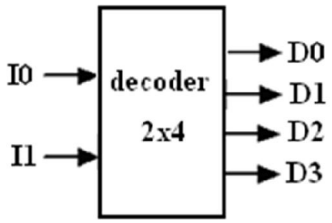
7486 Quad 2-Input Exor Gates

آزمایش دوم

آشنایی با مدارهای ترکیبی

آزمایش۲-۱

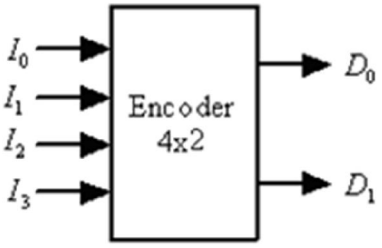
DECODER یا کدبردارها مدارهایی هستند با n ورودی که بر اساس هر یک از حالات ورودی یکی از 2^n خروجی آن فعال می‌گردد . اکنون با استفاده از تراشه ۷۴۰۸ (AND) و ۷۴۰۰ (NAND)یک کدبردار ۲ به ۴ را طراحی کنید و سپس آنرا مورد آزمایش قرار داده و درستی جدول حالات آنرا بررسی کنید .



A	B	D3	D2	D1	D0
0	0				
0	1				
1	0				
1	1				

آزمایش۲-۲

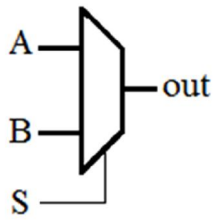
ENCODER و یا کدگذارها عمل عکس کدبردارها را انجام می‌دهند . به اینصورت که دارای 2^n ورودی (حداکثر) و n خروجی می‌باشند . اگر یکی از ورودیها فعال باشد ، خروجی یک عدد n بیتی متناظر با همان ورودی خواهد بود اکنون با استفاده از تراشهٔ ۷۴۰۰ یک کدگذار ۴ به ۲ را طراحی کرده و جدول درستی آنرا با توجه به آزمایش مورد بررسی قرار دهید .



I3	I2	I1	I0	D1	D0
0	0	0	1		
0	0	1	0		
0	1	0	0		
1	0	0	0		

آزمایش۲-۳

با استفاده از تراشهٔ ۷۴۰۰(Nand) یک مالتی پلکسر ۲ به ۱ طراحی نمایید . مدار را بسته و با مقدار دهی به ورودیها جدول آزمایش را تکمیل نمایید .

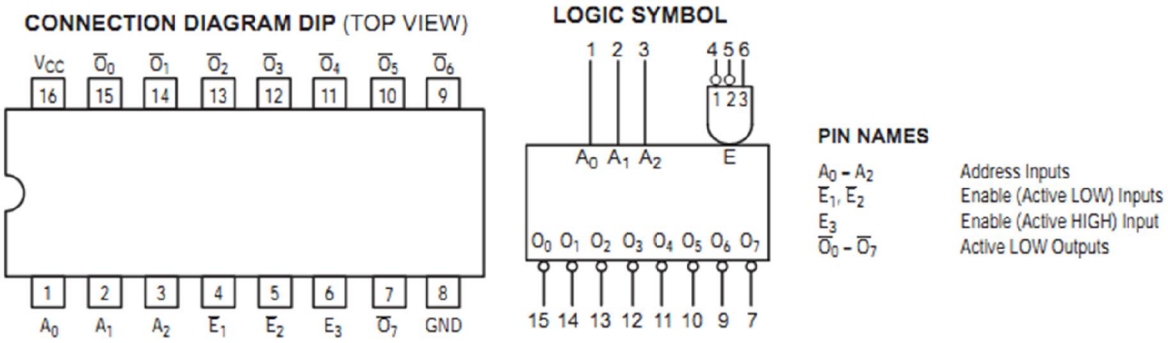


S	A	B	out
0	0	0	
1	0	1	
0	1	0	
1	1	1	

آزمایش۲-۴

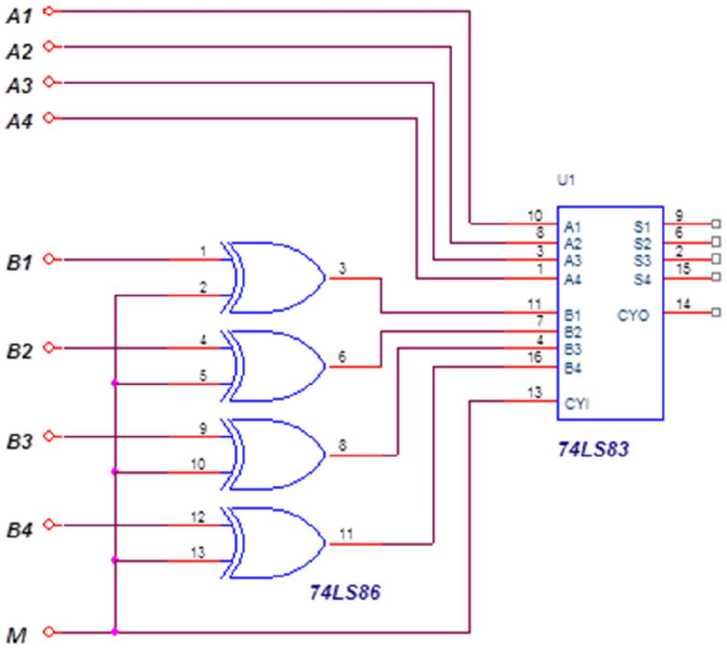
تراشهٔ ۷۴۱۳۸ یک دیکودر سه به هشت است است . با مراجعه به راهنمای این تراشه با عملکر آن آشنا شوید . مدار را ببندید و آنرا مورد آزمایش قرار دهید .

سوال : با استفاده از تراشهٔ ۷۴۱۳۸ و گیتهای مناسب یک دیکودر چهار به شانزده طراحی کنید . مدار طرح شده را توسط نرم افزار پروتئوس شبیه سازی کنید . فایل مدار را بعنوان گزارش کار تحویل دهید.

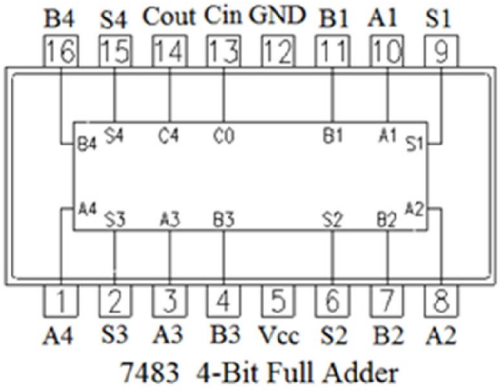


آزمایش۲-۵

شکل زیر مدار جمع کننده و تفریق کننده چهار بیتی را نشان می دهد . قبل از انجام آزمایش چگونگی عملکرد مدار برای عمل جمع و تفریق را بررسی کنید . همچنین با مراجعه به راهنمای آی سی ۷۴۸۳ با عملکرد این تراشه آشنا شوید . به موقعیت پایه های تغذیه دقت کنید .



مدار را بسته و با مقدار دهی به ورودیها طبق جدول زیر ، مقادیر خروجی را در جدول یادداشت نمایید . خروجیها را با LED نمایش دهید .



7483 4-Bit Full Adder

M	A	B	Sum	Co
0	0011	0010		
1	0011	0010		
0	0010	0011		
1	0010	0011		
0	1001	1000		
1	1001	1000		

آزمایش سوم

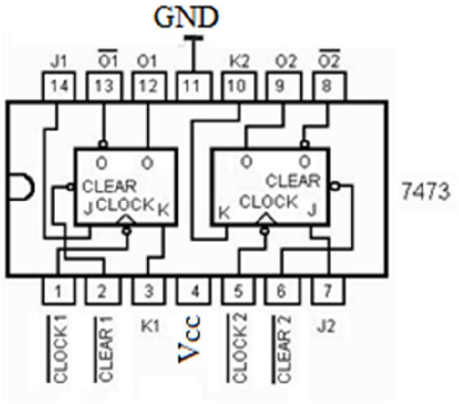
آشنایی با مدارهای ترتیبی

آزمایش۳-۱

تراشه ۷۴۷۳ حاوی دو عدد فلیپ فلاپ JK است ، یکی از فلیپ فلاپها را انتخاب کرده مورد آزمایش قرار دهید و جدول درستی آنرا بنویسید . خروجی را با LED مشاهده کنید .

سؤال ۱ - این فلیپ فلاپ به چه لبه ای از پالس ساعت حساس است ؟

سوال ۲ - نسبت فرکانس خروجی به ورودی در حالت Toggle چقدر است؟



Reset	J	K	Q	/Q
0	x	x		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

آزمایش۳-۲

الف - با استفاده از فلیپ فلاپ JK و گیت NAND یک شمارندهٔ مبنای ۵ طراحی کنید (شمارش از صفر تا چهار). مدار را ببندید و با انتخاب فرکانس مناسب برای کلاک ورودی ، خروجیها را توسط LED مشاهده کنید .

آزمایش۳-۳

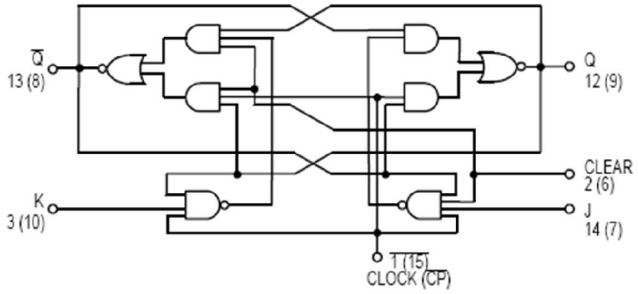
الف - با استفاده از فلیپ فلاپ JK و گیتهای مناسب یک شمارندهٔ صعودی / نزولی مبنای ۳ طراحی کنید.این مدار دارای یک خط انتخاب برای تعیین شمارش صعودی و یا نزولی است . مدار را ببندید و خروجیها را توسط LED مشاهده کنید .

MOTOROLA

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

The SN54LS/74LS73A offers individual J, K, clear, and clock inputs. These dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the truth table as long as minimum set-up times are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

LOGIC DIAGRAM (Each Flip-Flop)



MODE SELECT — TRUTH TABLE

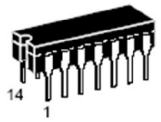
OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{C}_D$	J	K	Q	$\overline{Q}$
Reset (Clear)	L	X	X	L	H
Toggle	H	h	h	$\overline{q}$	q
Load "0" (Reset)	H	l	h	L	H
Load "1" (Set)	H	h	l	H	L
Hold	H	l	l	q	$\overline{q}$

H, h = HIGH Voltage Level
L, l = LOW Voltage Level
X = Don't Care
l, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

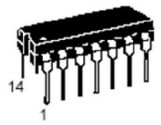
SN54/74LS73A

DUAL JK NEGATIVE EDGE-TRIGGERED FLIP-FLOP

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 632-08



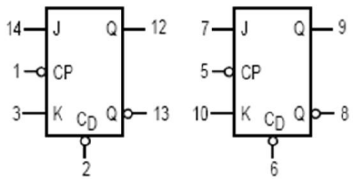
N SUFFIX
PLASTIC
CASE 646-06

D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC SYMBOL



V_{CC} = PIN 4
GND = PIN 11

آزمایش چهارم

آشنایی با تراشه های شمارنده و شیفت رجیستر
و کدبرداردهدهی به هفت قسمتی

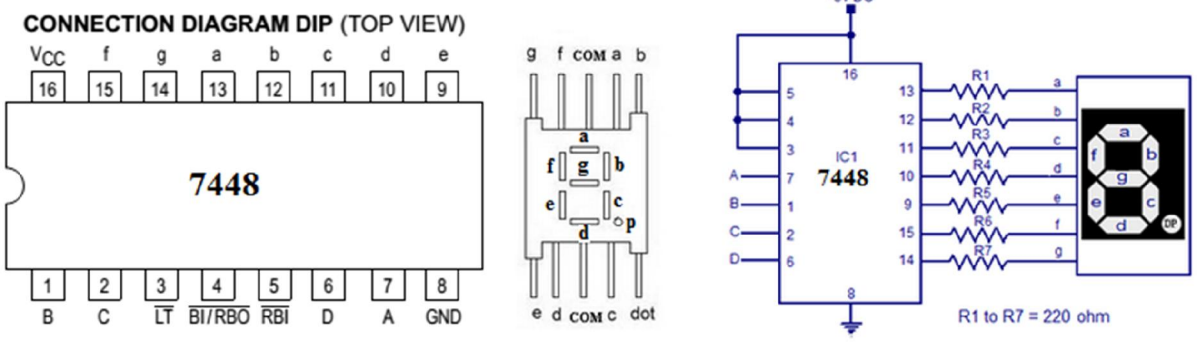
آزمایش۴-۱

الف – تراشه ۷۴۴۷ یا ۷۴۴۸ را به یک نمایشگر هفت قسمتی همانند شکل زیر متصل کرده و به ازاء حالات مختلف ورودی (۰۰۰۰ تا ۱۱۱۱) ، علائم مشخص شده روی نمایشگر را یادداشت کنید . توجه داشته باشید قرار دادن مقاومت بین تراشه و نمایشگر جهت جلوگیری از سوختن نمایشگر و تراشه الزامی است .

ب – پایه شماره ۳ تراشه (Lamp Test) را به ولتاژ LOW متصل کنید و به ازاء حالات مختلف ورودی ، تغییرات خروجی را مشاهده کنید .

ج – پایه شماره ۵ تراشه (blank-in) و پایهٔ شمارهٔ ۴ (blank out)را از ولتاژ ۵ ولت جدا کنید سپس پایه ۵ را به زمین و پایه ۴ را به ولت متر متصل کنید . به ازاء عدد ورودی صفر و یک عدد ورودی دلخواه دیگر ، اَشکال نمایش داده شده توسط نمایشگر وهمچنین مقدار ولت متر را یادداشت نمایید .(مدار را برای آزمایش بعد نگهدارید)

برای آگاهی از کاربرد این حالت و این دو پایه به سؤال ۳ دستور کار توجه کنید .



آزمایش۴-۲

تراشهٔ ۷۴۹۰ می‌تواند بصورت یک شمارندهٔ مبنای ۱۰ ناهمگام عمل کند . با مراجعه به کاتالوگ این تراشه ، با شیوهٔ کار آن آشنا شوید .

با استفاده از تراشهٔ ۷۴۹۰ یک شمارندهٔ مبنای ۱۰ را پیاده سازی کنید . خروجی را توسط مدار7_segment مشاهده نمایید .

آزمایش۴-۳

تراشهٔ ۷۴۱۹۴ یک ثبات انتقالی چهار بیتی با امکانات ورودی موازی و سری و انتقال به راست و چپ می‌باشد با مراجعه به کتابچهٔ TTL با نحوهٔ کار آن آشنا شوید . در ادامه آزمایش زیر را با تراشه انجام دهید .

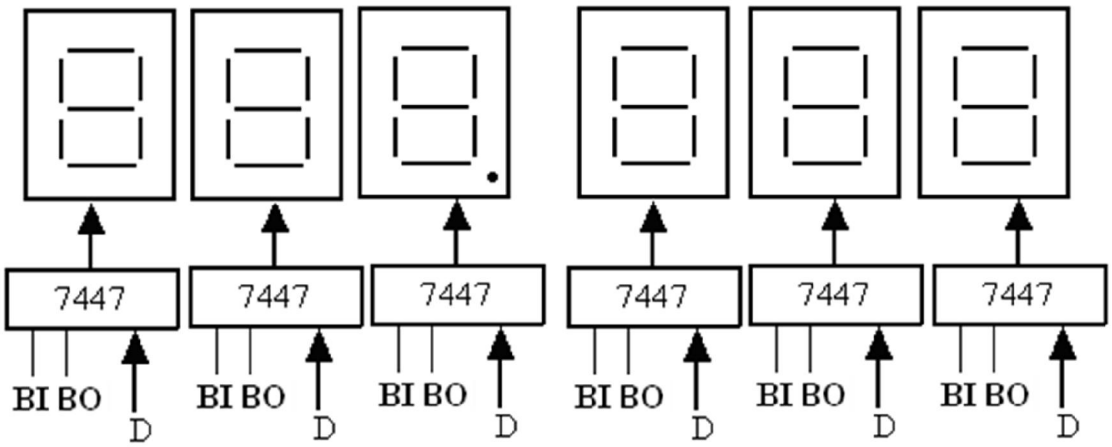
ابتدا مقدار بایتری 0110 را به ورودی موازی اعمال کنید سپس با استفاده خط Load ، آنرا بارگذاری کرده و سپس آنرا در خروجی به راست شیفت دهید. برای شیفت به چپ نیز این کار را تکرار کنید .

سؤالات :

۱- نقش پایه Lamp-Test در تراشه‌های ۷۴۴۷ و ۷۴۴۸ چیست ؟

۲- نحوهٔ استفاده از پایه‌های blank-in و blank-out در تراشهٔ ۷۴۴۷ را شرح دهید .

۳- جهت نمایش دادن یک عدد اعشاری از شش نمایشگر استفاده شده است که طبق شکل زیر سه عدد آن ارقام اعشاری و سه نمایشگر دیگر آن ارقام صحیح را نمایش میدهند . اگر بخواهیم صفرهای قبل از عدد صحیح و صفرهای بعد از عدد اعشاری را نمایش ندهیم ، اتصالات لازم بین تراشه‌ها را طراحی و رسم نمایید .



۴- با استفاده از دو شیفت رجیستر 74194، یک شیفت رجیستر هشت بیتی انتقال به راست و چپ طرح کنید . مدار را به صورت کامل ترسیم نمایید (با استفاده از Logic Symbol آی سی).

MOTOROLA

BCD TO 7-SEGMENT DECODER

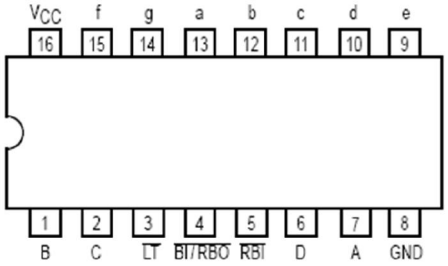
The SN54/74LS48 is a BCD to 7-Segment Decoder consisting of NAND gates, input buffers and seven AND-OR-INVERT gates. Seven NAND gates and one driver are connected in pairs to make BCD data and its complement available to the seven decoding AND-OR-INVERT gates. The remaining NAND gate and three input buffers provide lamp test, blanking input/ripple-blanking input for the LS48.

The circuit accepts 4-bit binary-coded-decimal (BCD) and, depending on the state of the auxiliary inputs, decodes this data to drive other components. The relative positive logic output levels, as well as conditions required at the auxiliary inputs, are shown in the truth tables.

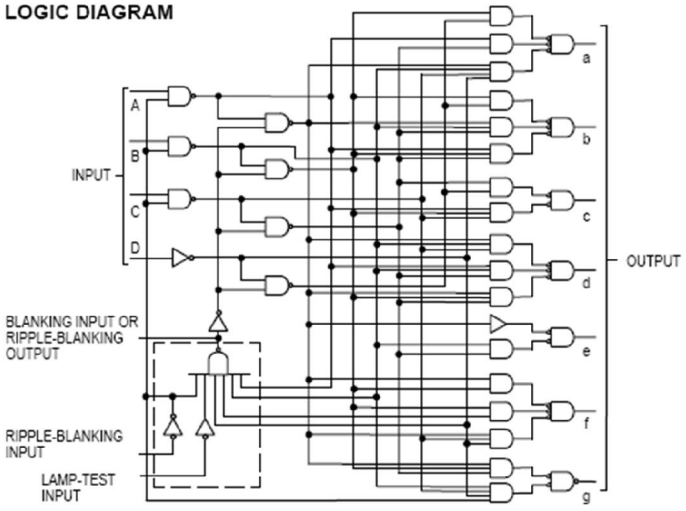
The LS48 circuit incorporates automatic leading and/or trailing edge zero-blanking control (RBI and RBO). Lamp Test (LT) may be activated any time when the BI/RBO node is HIGH. Both devices contain an overriding blanking input (BI) which can be used to control the lamp intensity by varying the frequency and duty cycle of the BI input signal or to inhibit the outputs.

- Lamp Intensity Modulation Capability (BI/RBO)
- Internal Pull-Ups Eliminate Need for External Resistors
- Input Clamp Diodes Eliminate High-Speed Termination Effects

CONNECTION DIAGRAM DIP (TOP VIEW)



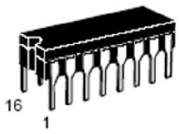
LOGIC DIAGRAM



SN54/74LS48

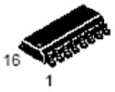
BCD TO 7-SEGMENT DECODER

LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09

N SUFFIX
PLASTIC
CASE 648-08

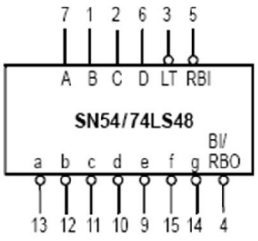


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

SN54/74LS48

PIN NAMES

		LOADING (Note a)	
		HIGH	LOW
A, B, C, D	BCD Inputs	0.5 U.L.	0.25 U.L.
$\overline{RBI}$	Ripple-Blanking (Active Low) Input	0.5 U.L.	0.25 U.L.
$\overline{LT}$	Lamp-Test (Active Low) Input	0.5 U.L.	0.25 U.L.
$\overline{BI/RBO}$	Blanking Input or Ripple-Blanking Output (Active Low)	0.5 U.L. 1.2 U.L.	0.75 U.L. 2(1) U.L.
$\overline{BI}$	Blanking (Active Low) Input	0.5 U.L.	0.25 U.L.
		Open-Collector	3.75 (1.25) U.L. (48)

NOTES:
a) Unit Load (U.L.) = 40 µA HIGH / 1.6 mA LOW
b) Outut current measured at V_{OUT} = 0.5 V
Output LOW drive factor is SN54LS/74LS48: 1.25 U.L. for Military (54), 3.75 U.L. for Commercial (74).

NUMERICAL DESIGNATIONS — RESULTANT DISPLAYS

TRUTH TABLE
SN54/74LS48

	INPUTS						OUTPUTS							
DECIMAL OR FUNCTION	$\overline{LT}$	$\overline{RBI}$	D	C	B	A	$\overline{BI/RBO}$	a	b	c	d	e	f	g	NOTE
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
$\overline{BI}$	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
$\overline{RBI}$	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
$\overline{LT}$	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

NOTES:
(1) BI/RBO is wired-AND logic serving as blanking input (BI) and/or ripple-blanking output (RBO). The blanking out (BI) must be open or held at a HIGH level when output functions 0 through 15 are desired, and ripple-blanking input (RBI) must be open or at a HIGH level if blanking of a decimal 0 is not desired. X=input may be HIGH or LOW.
(2) When a LOW level is applied to the blanking input (forced condition) all segment outputs go to a LOW level, regardless of the state of any other input condition.
(3) When ripple-blanking input (RBI) and inputs A, B, C, and D are at LOW level, with the lamp test input at HIGH level, all segment outputs go to a HIGH level and the ripple-blanking output (RBO) goes to a LOW level (response condition).
(4) When the blanking input/ripple-blanking output (BI/RBO) is open or held at a HIGH level, and a LOW level is applied to lamp-test input, all segment outputs go to a LOW level.

MOTOROLA

DECADE COUNTER; DIVIDE-BY-TWELVE COUNTER; 4-BIT BINARY COUNTER

SN54/74LS90
SN54/74LS92
SN54/74LS93

DECADE COUNTER;
DIVIDE-BY-TWELVE COUNTER;
4-BIT BINARY COUNTER

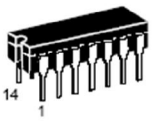
LOW POWER SCHOTTKY

The SN54/74LS90, SN54/74LS92 and SN54/74LS93 are high-speed 4-bit ripple type counters partitioned into two sections. Each counter has a divide-by-two section and either a divide-by-five (LS90), divide-by-six (LS92) or divide-by-eight (LS93) section which are triggered by a HIGH-to-LOW transition on the clock inputs. Each section can be used separately or tied together (Q to $\overline{CP}$) to form BCD, bi-quinary, modulo-12, or modulo-16 counters. All of the counters have a 2-input gated Master Reset (Clear), and the LS90 also has a 2-input gated Master Set (Preset 9).

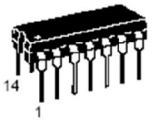
- Low Power Consumption . . . Typically 45 mW
- High Count Rates . . . Typically 42 MHz
- Choice of Counting Modes . . . BCD, Bi-Quinary, Divide-by-Twelve, Binary
- Input Clamp Diodes Limit High Speed Termination Effects

PIN NAMES		LOADING (Note a) HIGH	LOW
$\overline{CP}_0$	Clock (Active LOW going edge) Input to ÷2 Section	0.5 U.L.	1.5 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷5 Section (LS90), ÷6 Section (LS92)	0.5 U.L.	2.0 U.L.
$\overline{CP}_1$	Clock (Active LOW going edge) Input to ÷8 Section (LS93)	0.5 U.L.	1.0 U.L.
MR_1, MR_2	Master Reset (Clear) Inputs	0.5 U.L.	0.25 U.L.
MS_1, MS_2	Master Set (Preset-9, LS90) Inputs	0.5 U.L.	0.25 U.L.
Q_0	Output from ÷2 Section (Notes b & c)	10 U.L.	5 (2.5) U.L.
Q_1, Q_2, Q_3	Outputs from ÷5 (LS90), ÷6 (LS92), ÷8 (LS93) Sections (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military, (54) and 5 U.L. for commercial (74) Temperature Ranges.
c. The Q_0 Outputs are guaranteed to drive the full fan-out plus the $\overline{CP}_1$ input of the device.
d. To insure proper operation the rise (t_r) and fall time (t_f) of the clock must be less than 100 ns.



J SUFFIX
CERAMIC
CASE 632-08



N SUFFIX
PLASTIC
CASE 646-06

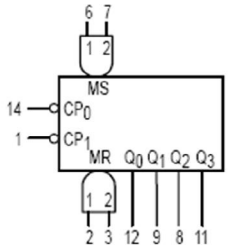
D SUFFIX
SOIC
CASE 751A-02

ORDERING INFORMATION

SN54LSXXJ	Ceramic
SN74LSXXN	Plastic
SN74LSXXD	SOIC

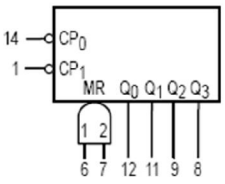
LOGIC SYMBOL

LS90



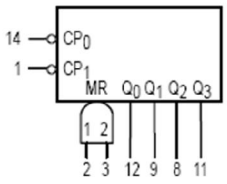
V_{CC} = PIN 5
GND = PIN 10
NC = PINS 4, 13

LS92



V_{CC} = PIN 5
GND = PIN 10
NC = PINS 2, 3, 4, 13

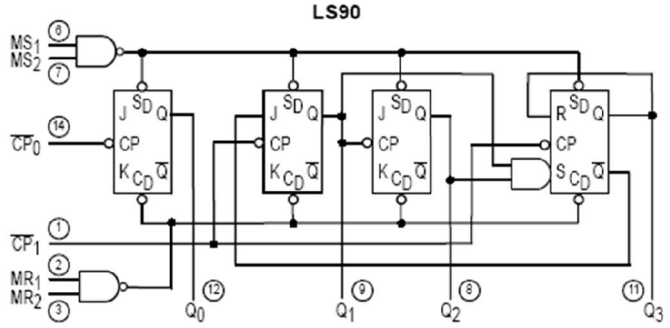
LS93



V_{CC} = PIN 5
GND = PIN 10
NC = PIN 4, 6, 7, 13

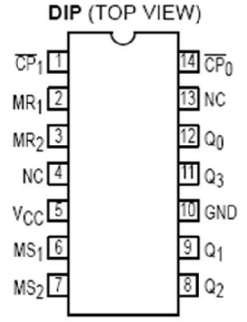
LOGIC DIAGRAM

LS90



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

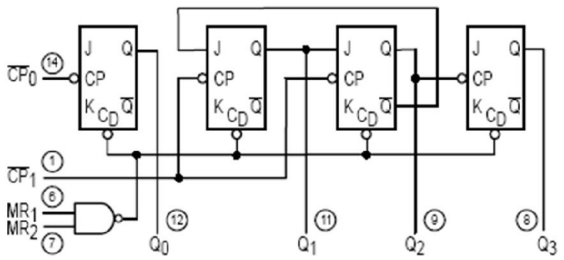


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

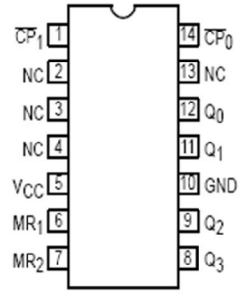
LOGIC DIAGRAM

LS92



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)

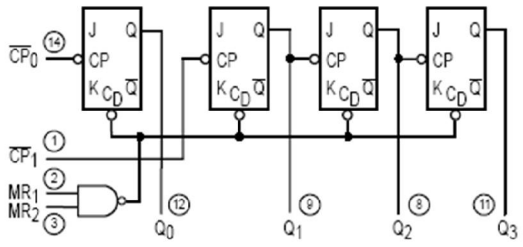


NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

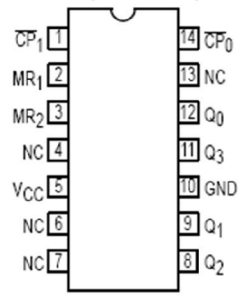
LOGIC DIAGRAM

LS93



○ = PIN NUMBERS
V_{CC} = PIN 5
GND = PIN 10

CONNECTION DIAGRAM
DIP (TOP VIEW)



NC = NO INTERNAL CONNECTION

NOTE:
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

FUNCTIONAL DESCRIPTION

The LS90, LS92, and LS93 are 4-bit ripple type Decade, Divide-By-Twelve, and Binary Counters respectively. Each device consists of four master/slave flip-flops which are internally connected to provide a divide-by-two section and a divide-by-five (LS90), divide-by-six (LS92), or divide-by-eight (LS93) section. Each section has a separate clock input which initiates state changes of the counter on the HIGH-to-LOW clock transition. State changes of the Q outputs do not occur simultaneously because of internal ripple delays. Therefore, decoded output signals are subject to decoding spikes and should not be used for clocks or strobes. The Q_0 output of each device is designed and specified to drive the rated fan-out plus the $\overline{CP}_1$ input of the device.

A gated AND asynchronous Master Reset ($MR_1 \bullet MR_2$) is provided on all counters which overrides and clocks and resets (clears) all the flip-flops. A gated AND asynchronous Master Set ($MS_1 \bullet MS_2$) is provided on the LS90 which overrides the clocks and the MR inputs and sets the outputs to nine (HLLH).

Since the output from the divide-by-two section is not internally connected to the succeeding stages, the devices may be operated in various counting modes.

LS90

A. BCD Decade (8421) Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and a BCD count sequence is produced.

B. Symmetrical Bi-quinary Divide-By-Ten Counter — The Q_3 output must be externally connected to the $\overline{CP}_0$ input. The input count is then applied to the $\overline{CP}_1$ input and a divide-by-ten square wave is obtained at output Q_0.

C. Divide-By-Two and Divide-By-Five Counter — No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function ($\overline{CP}_0$ as the input and Q_0 as the output). The $\overline{CP}_1$ input is used to obtain binary divide-by-five operation at the Q_3 output.

LS92

A. Modulo 12, Divide-By-Twelve Counter — The $\overline{CP}_1$ input must be externally connected to the Q_0 output. The $\overline{CP}_0$ input receives the incoming count and Q_3 produces a symmetrical divide-by-twelve square wave output.

B. Divide-By-Two and Divide-By-Six Counter —No external interconnections are required. The first flip-flop is used as a binary element for the divide-by-two function. The $\overline{CP}_1$ input is used to obtain divide-by-three operation at the Q_1 and Q_2 outputs and divide-by-six operation at the Q_3 output.

LS93

A. 4-Bit Ripple Counter — The output Q_0 must be externally connected to input $\overline{CP}_1$. The input count pulses are applied to input $\overline{CP}_0$. Simultaneous divisions of 2, 4, 8, and 16 are performed at the Q_0, Q_1, Q_2, and Q_3 outputs as shown in the truth table.

B. 3-Bit Ripple Counter— The input count pulses are applied to input $\overline{CP}_1$. Simultaneous frequency divisions of 2, 4, and 8 are available at the Q_1, Q_2, and Q_3 outputs. Independent use of the first flip-flop is available if the reset function coincides with reset of the 3-bit ripple-through counter.

LS90
MODE SELECTION

RESET / SET INPUTS				OUTPUTS			
MR_1	MR_2	MS_1	MS_2	Q_0	Q_1	Q_2	Q_3
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS92 AND LS93
MODE SELECTION

RESET INPUTS		OUTPUTS			
MR_1	MR_2	Q_0	Q_1	Q_2	Q_3
H	H	L	L	L	L
L	H	Count			
H	L	Count			
L	L	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90
BCD COUNT SEQUENCE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

NOTE: Output Q_0 is connected to Input CP_1 for BCD count.

LS92
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	L	L	H
7	H	L	L	H
8	L	H	L	H
9	H	H	L	H
10	L	L	H	H
11	H	L	H	H

NOTE: Output Q_0 is connected to Input CP_1.

LS93
TRUTH TABLE

COUNT	OUTPUT			
	Q_0	Q_1	Q_2	Q_3
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H
10	L	H	L	H
11	H	H	L	H
12	L	L	H	H
13	H	L	H	H
14	L	H	H	H
15	H	H	H	H

NOTE: Output Q_0 is connected to Input CP_1.

MOTOROLA

SN54/74LS194A

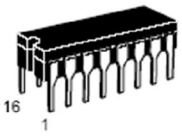
4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

The SN54/74LS194A is a High Speed 4-Bit Bidirectional Universal Shift Register. As a high speed multifunctional sequential building block, it is useful in a wide variety of applications. It may be used in serial-serial, shift left, shift right, serial-parallel, parallel-serial, and parallel-parallel data register transfers. The LS194A is similar in operation to the LS195A Universal Shift Register, with added features of shift left without external connections and hold (do nothing) modes of operation. It utilizes the Schottky diode clamped process to achieve high speeds and is fully compatible with all Motorola TTL families.

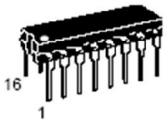
- Typical Shift Frequency of 36 MHz
- Asynchronous Master Reset
- Hold (Do Nothing) Mode
- Fully Synchronous Serial or Parallel Data Transfers
- Input Clamp Diodes Limit High Speed Termination Effects

4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

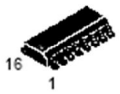
LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

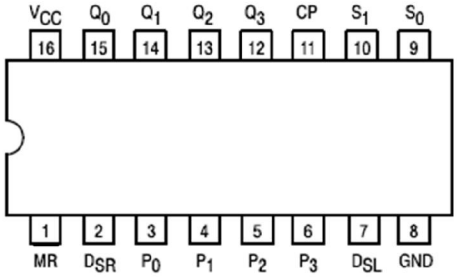


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

SN54LSXXXJ	Ceramic
SN74LSXXXN	Plastic
SN74LSXXXD	SOIC

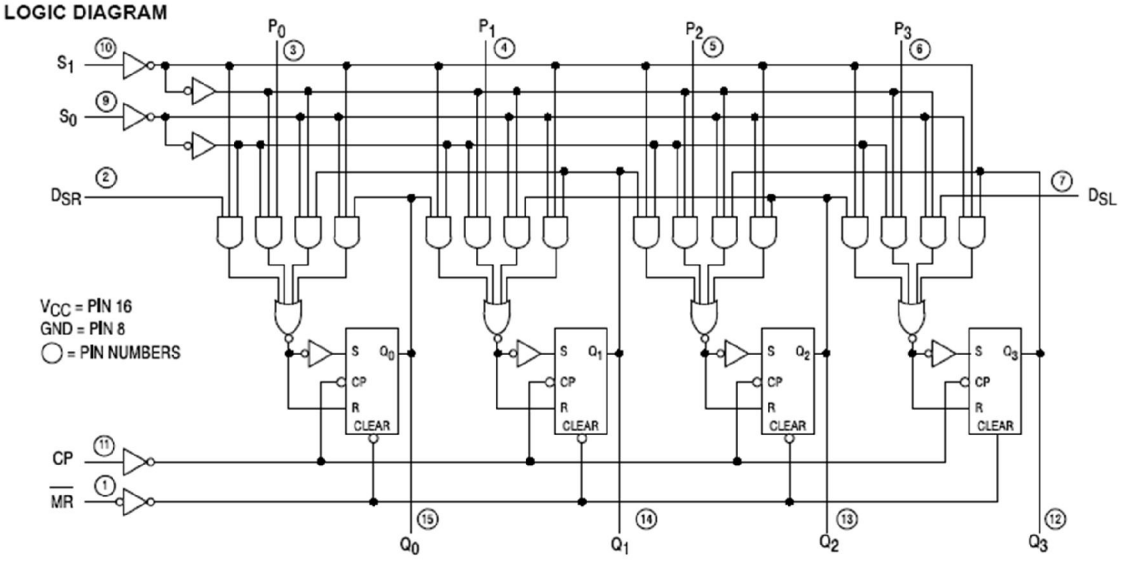
CONNECTION DIAGRAM DIP (TOP VIEW)



PIN NAMES		LOADING (Note a)	
		HIGH	LOW
S_0, S_1	Mode Control Inputs	0.5 U.L.	0.25 U.L.
P_0-P_3	Parallel Data Inputs	0.5 U.L.	0.25 U.L.
D_{SR}	Serial (Shift Right) Data Input	0.5 U.L.	0.25 U.L.
D_{SL}	Serial (Shift Left) Data Input	0.5 U.L.	0.25 U.L.
$\overline{CP}$	Clock (Active HIGH Going Edge) Input	0.5 U.L.	0.25 U.L.
MR	Master Reset (Active LOW) Input	0.5 U.L.	0.25 U.L.
Q_0-Q_3	Parallel Outputs (Note b)	10 U.L.	5 (2.5) U.L.

NOTES:
a. 1 TTL Unit Load (U.L.) = 40 µA HIGH/1.6 mA LOW.
b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC DIAGRAM



FUNCTIONAL DESCRIPTION

The Logic Diagram and Truth Table indicate the functional characteristics of the LS194A 4-Bit Bidirectional Shift Register. The LS194A is similar in operation to the Motorola LS195A Universal Shift Register when used in serial or parallel data register transfers. Some of the common features of the two devices are described below:

All data and mode control inputs are edge-triggered, responding only to the LOW to HIGH transition of the Clock (CP). The only timing restriction, therefore, is that the mode control and selected data inputs must be stable one set-up time prior to the positive transition of the clock pulse.

The register is fully synchronous, with all operations taking place in less than 15 ns (typical) making the device especially useful for implementing very high speed CPUs, or the memory buffer registers.

The four parallel data inputs (P_0, P_1, P_2, P_3) are D-type inputs. When both S_0 and S_1 are HIGH, the data appearing on P_0, P_1, P_2, and P_3 inputs is transferred to the Q_0, Q_1, Q_2, and Q_3 outputs respectively following the next LOW to HIGH transition of the clock.

The asynchronous Master Reset ($\overline{MR}$), when LOW, overrides all other input conditions and forces the Q outputs LOW.

Special logic features of the LS194A design which increase the range of application are described below:

Two mode control inputs (S_0, S_1) determine the synchronous operation of the device. As shown in the Mode Selection Table, data can be entered and shifted from left to right (shift right, Q_0 Q_1, etc.) or right to left (shift left, Q_3 Q_2, etc.), or parallel data can be entered loading all four bits of the register simultaneously. When both S_0 and S_1, are LOW, the existing data is retained in a "do nothing" mode without restricting the HIGH to LOW clock transition.

D-type serial data inputs (D_{SR}, D_{SL}) are provided on both the first and last stages to allow multistage shift right or shift left data transfers without interfering with parallel load operation.

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS						OUTPUTS			
	$\overline{MR}$	S_1	S_0	D_{SR}	D_{SL}	P_n	Q_0	Q_1	Q_2	Q_3
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	q_0	q_1	q_2	q_3
Shift Left	H	h	l	X	l	X	q_1	q_2	q_3	L
	H	h	l	X	h	X	q_1	q_2	q_3	H
Shift Right	H	l	h	l	X	X	L	q_0	q_1	q_2
	H	l	h	h	X	X	H	q_0	q_1	q_2
Parallel Load	H	h	h	X	X	P_n	P_0	P_1	P_2	P_3

L = LOW Voltage Level
H = HIGH Voltage Level
X = Don't Care
l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition
h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition
p_n (q_n) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.

بخش دوم

طراحی مدارهای منطقی بر اساس زبان برنامه نویسی وریلاگ

بسمه تعالی

مقدمه

در بخش اول آزمایشگاه با روش معمول طراحی و پیاده سازی مدارهای منطقی توسط آی سی های پایه و معمولی آشنا شدید . امروزه یکی از روشهای مرسوم و پیشرفته طراحی، استفاده از نرم افزارهای طراحی و همچنین پیاده سازی طرح توسط آی سی های برنامه پذیر است . در بخش دوم آزمایشگاه سعی می شود به صورت کلی و مختصر با این شیوه جدید آشنا شویم . برای این منظور به یک نرم افزار طراحی و همچنین یک بورد آموزشی مبتنی بر تراشه های برنامه پذیر نیاز داریم .

بورد موجود در آزمایشگاه حاوی یک آی سی برنامه پذیر CPLD ساخت شرکت ALTRA است . این شرکت در زمینهٔ تولید آی سی های FPGA و CPLD فعالیت می کند . نرم افزار مورد استفاده نیز تولید همین شرکت و برای کار با آی سی های تولیدی این کمپانی است . این نرم افزار با نام QUARTUS شناخته می شود که ویرایش جدیدی از نرم افزار قدیمی MAXPLUS همین شرکت است .

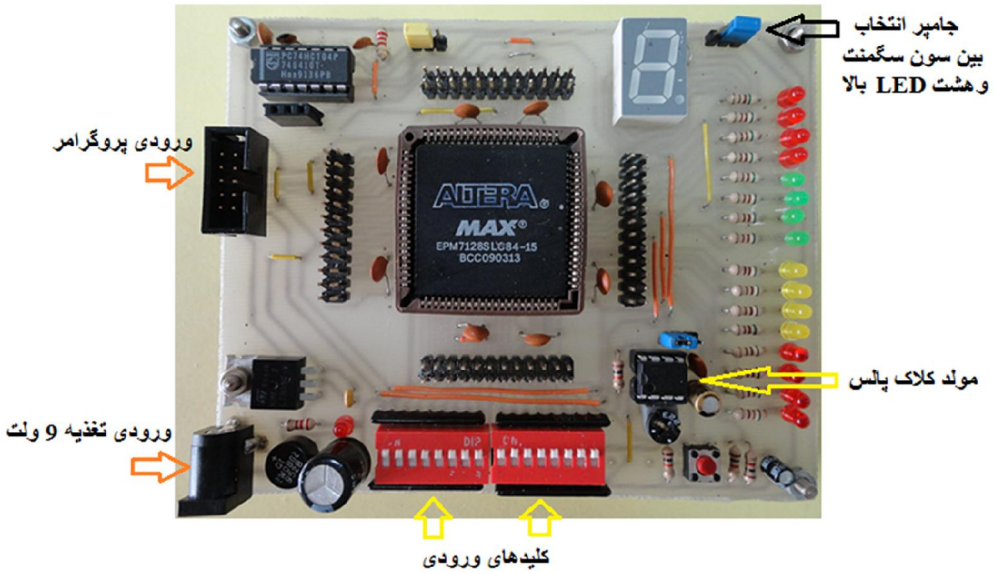
برای آشنایی دانشجویان با این نرم افزار متن جداگانه ای تهیه شده که بصورت مختصر و مفید چگونگی کار با این نرم افزار توضیح داده شده است .

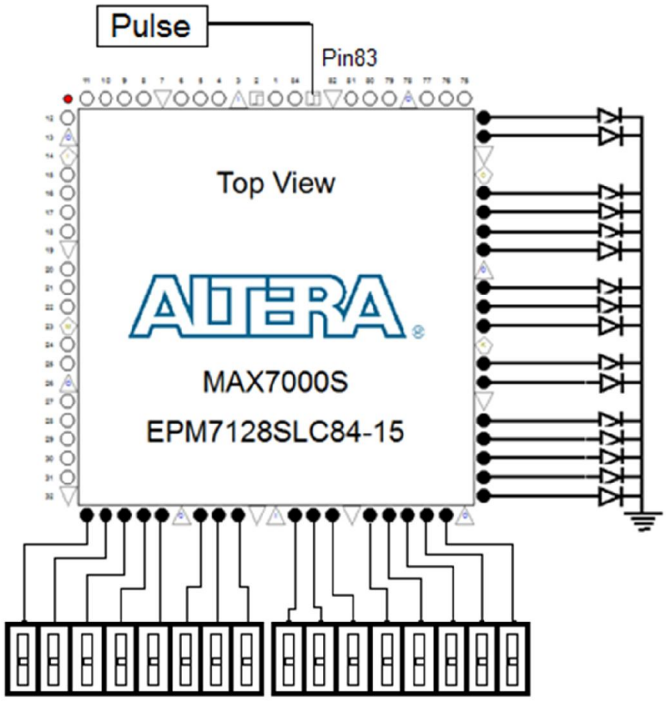
معمولا طراحی مدارهای دیجیتال توسط ، زبانهای برنامه نویسی که مختص این کار ساخته شده اند انجام می شوند زبان وریلاگ (Verilog) و زبان VHDL نمونه ای از این زبانهای برنامه نویسی هستند . نرم افزار کوارتوس نیز این دو زبان برنامه نویسی و طراحی را پشتیبانی می کند. همچنین در این نرم افزار می توان بصورت شماتیک نیز کار طراحی را انجام داد .

در بخش دوم دستور کار آزمایشگاه در قالب آموزش زبان وریلاگ ، آزمایشهای مورد نظر نیز انجام می شود تا در انتهای کار دانشجو مهارت مختصری برای کار با این زبان طراحی پیدا کند .البته چون متاسفانه در درس مدارهای منطقی و دروس دیگر در مورد این زبان، آموزشی داده نمی شود دانشجو باید فعالیت بیشتری از خود بروز دهد تا بتواند نتیجهٔ بهتری از این بخش کسب کند.

با آرزوی توفیق برای شما

مربی آزمایشگاه : محمدرضا فتاح


جامپر انتخاب
بین سون سگمنت
و هشت LED بالا
ورودی پروگرامر
مولد کلاک پالس
ورودی تغذیه 9 ولت
کلیدهای ورودی


Pulse
Pin83
Top View
MAX7000S
EPM7128SLC84-15

آزمایش پنجم

زبان توصیف سخت افزاریHDL

زبان توصیف سخت افزار، زبانی برای شرح و تعریف سیستمهای دیجیتال به صورت متنی است . به عبارت دیگر HDL را می توان توصیف رابطهٔ بین سیگنالهای ورودی یک مدار و سیگنالهای خروجی آن تعریف کرد . پس این زبان می تواند برای نمایش مدارهای منطقی ، عبارتهای بولی و یا مدارهای پیچیده دیجیتال بکار رود .

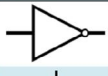
HDL های متنوعی توسط شرکتهای مختلف ارائه شده است مانند زبان VHDL و زبان Verilog . در این متن سعی شده به صورت خلاصه در مورد زبان وریلاگ که زبان ساده تری است توضیح داده شود .برای سادگی یادگیری با ارائهٔ مثالهای ساده و متعدد سعی شده یک آشنایی کلی برای دانشجو ایجاد شود .

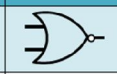
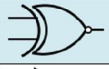
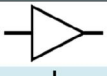
توصیف مدارهای دیجیتال به سه روش زیر انجام می شود :

- توصیف مدار در سطح دروازه های منطقی (گیت)
- توصیف مدار در سطح جریان داده (سیگنال)
- توصیف رفتاری

توصیف مدار در سطح گیت

در مدل سازی سطح گیت مدار بصورت مجموعه ای از گیتهای پایه که به یکدیگر متصل شده اند بیان میشود. وریلاگ مانند دیگر زبانهای برنامه نویسی دارای گیتهای منطقی ،خطوط انتقال و سوئیچها است . برای شروع، انواع گیتهای پایه که در این زبان وجود دارد را معرفی می کنیم. در این زبان شش گیت پایه وجود دارد . این گیتها عبارتند از گیتهای AND ، NAND ، OR ، NOR ، XOR و XNOR . همهٔ این گیتها دارای چند ورودی دلخواه و یک خروجی هستند . همچنین این زبان دارای شش گیت انتقالی اصلی است : وارونگر ، بافر ، بافر سه حالتهٔ فعال پایین و بالا و وارونگر سه حالتهٔ فعال پایین و بالا. به جدول زیر دقت کنید .

نام گیت	نماد	کلید واژه
گیت AND با N ورودی		and
گیت NAND با N ورودی		nand
گیت OR با N ورودی		or
گیت NOT با N خروجی		not
وارونگر سه حالته فعال پایین		notif0
وارونگر سه حالته فعال بالا		notif1

نام گیت	نماد	کلید واژه
گیت NOR با N ورودی		nor
گیت XOR با N ورودی		xor
گیت XNOR با N ورودی		xnor
گیت بافر با N خروجی		buf
بافر سه حالته فعال پایین		bufif0
بافر سه حالته فعال بالا		bufif1

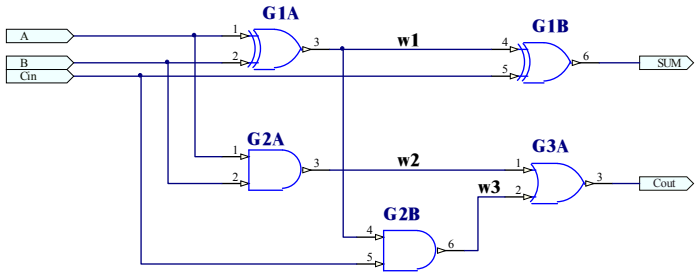
شکل ۱

توجه داشته باشید که زبان وریلاگ یک زبان متنی است و شکلهای موجود در جدول بالا فقط برای درک بهتر عملکرد هر گیت آورده شده است .

برای طراحی مدار در سطح گیت ابتدا باید آنرا به صورت مجموعه ای از گیتهای پایه درآورد سپس با تعریف اتصالات مناسب ، این گیتها را به هم وصل نمود . در مثال زیر به توضیح در این مورد می پردازیم .

جمع کنندهٔ کامل یک بیتی (Full Adder)

مدار شکل ۲ تمام جمع کنندهٔ یک بیتی را نشان می دهدکه با استفاده از گیتهای پایه ساخته شده است. در شکل به اسامی ورودی و خروجیها و همچنین به اسامی دروازه های منطقی و نام اتصالات میانی دقت کنید سپس برنامهٔ



شکل۲

زیر که توصیف مدار در زبان وریلاگ است را مطالعه نمایید.

```
//Verilog model of Full Adder  Fig 2
module          fulladder_1bit (SUM , Cout , A , B , Cin); //معرفی مدار با ذکر نام و لیست ورودیها و خروجیها
        output          SUM , Cout;  //تعریف خروجیها
        input           A , B , Cin;// تعریف ورودیها
        wire            w1 , w2 , w3; // (سیمها) تعریف اتصالات میانی
        xor             G1A ( w1 , A , B );
        and             G2A ( w2 , A , B );
        and             G2B ( w3 , w1 , Cin );
        xor             G1B ( SUM , w1 , Cin );
        or              G3A ( Cout , w2 , w3 );
endmodule
```

توضیح برنامه:

در برنامه وریلاگ بالا جملهٔ اول که با // شروع شده به عنوان توضیح در نظر گرفته می شود و تاثیری در برنامه ندارد . در وریلاگ عبارتهای توضیح چند جمله ای با /* شروع و با */ خاتمه می یابد.

واحد ساختاری وریلاگ "ماژول" نامیده می شود. برنامه بالا در اصل یک ماژول است که با کلید واژهٔ module شروع و انتهای آن با کلید واژهٔ endmodule خاتمه می یابد . خطوط بین این دو کلیدواژه که بدنهٔ ماژول را تشکیل می دهد در اصل توصیف سطح گیت مدار شکل(۲) است . بعد از کلمه module یک نام برای مدار آورده میشود در دنبالهٔ آن و در داخل پرانتز نام ورودیها و خروجیها ذکر میگردد .

کلمهٔ fulladder_1bit ، نام ماژول و یک شاخص (identifier) است . شاخص نامیست که به ماژولها ، متغیرها و دیگر اجزاء زبان داده می شود تا بتوان در طراحی به آن اشاره کرد . توجه داشته باشید که شاخصها به حروف کوچک و بزرگ حساس هستند که باید با حروف الفبا و یا _ (underscore)شروع شوند .

برخی از کلید واژه های مهم در زبان عبارتند از : module ، endmodule ، input ، output ، wire ، and ، or ، not ، xor. با واژه های ouput و input و wire دریچه های ورودی و خروجی و همچنین سیمهای میانی مشخص می شوند. در این مدار دریچه های A ، B و Cin ورودی و دریچه های SUM و Cout بعنوان دریچه خروجی تعریف میگردند . همچنین با کید واژهٔ wire اتصالات میانی با نامهای دلخواه w1 ، w2 و w3مشخص می شوند .

چند خط بعدی برنامه مربوط به اِعلان دروازه های منطقی (گیتها) مدار است . این مدار از پنج گیت منطقی با نامهای دلخواه G1A (xor) ، G1B (xor) ، G2A (and) ، G2B (and) و G3A (or) تشکیل شده است . در هر اِعلان از کلید واژهٔ متناسب با دروازه مربوطه و یک نام دلخواه و لیست ورودیها و خروجیهای همان گیت استفاده می شود. ورودیها و خروجیها ، داخل پرانتز گذاشته می شوند به طوریکه ابتدا خروجی و سپس ورودی ذکر می شود . ترتیب ورودیها مهم نیست .

توجه داشته باشید که باید در انتهای هر گزاره علامت ; گذاشته شود بجز انتهای واژهٔ endmodule .

تأخیر دروازه :

در مدارات واقعی ، هر گیت دارای یک تأخیر زمانی است . برای اِعمال این تأخیر در شبیه سازی توسط وریلاگ میتوان برنامه را بصورت زیر بازنویسی کرد:

```
//Verilog model of Full Adder  Fig 2
'timescale      1ns/100ps
module          fulladder (SUM , Cout , A , B , Cin);
        output          SUM , Cout;
        input           A , B , Cin;
        wire            w1 , w2 , w3;
        xor             #(35) G1A ( w1 , A , B );
        and             #(30) G2A ( w2 , A , B );
        and             #(30) G2B ( w3 , w1 , Cin );
        xor             #(35) G1B ( SUM , w1 , Cin );
        or              #(20) G3A ( Cout , w2 , w3 );
endmodule
```

جملهٔ 'timescale 1ns/100ps یک راهنمای کامپایلر است که قبل از اعلان مدول می آید و واحد زمانی تأخیر را تعیین می کند . عدد اول واحد زمانی را برحسب نانو ثانیه و عدد دوم دقت واحد زمانی را ۱۰۰ پیکو ثانیه مشخص می کند .در بدنه برنامه برای اِعمال تأخیر برای هر دروازه از نماد # استفاده می شود و مقدار تأخیر بعد از این نماد و در داخل پرانتز تعریف می گردد.

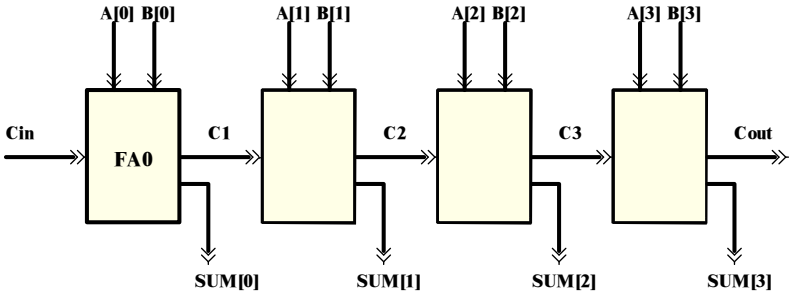
آزمایش۵-۱: طراحی جمع کنندهٔ کامل یک بیتی

با مطالعهٔ راهنمای نرم افزار کوارتوس مدار را طراحی ، شبیه سازی و پیاده سازی کنید .

توجه: نتایج هر آزمایش روی بورد آزمایشگاه نمایش داده شود.

توصیف یک جمع کننده چهاربیتی با استفاده از ماژول جمع کننده یک بیتی

شکل زیر یک جمع کننده چهاربیتی است که با استفاده از اتصال چهار جمع کنندهٔ یک بیتی ساخته شده است . حال چگونه میتوانیم این مدار را در محیط وریلاگ و توصیف سطح گیت پیاده سازی کنیم؟ برنامه زیر جواب این سوال را مشخص می کند .



شکل۵

```
//Verilog model of 4bit Full Adder  Fig 3
module          fulladder_4bit  ( SUM , Cout , A , B , Cin);
        output          [3:0] SUM;
        output          Cout;
        input           [3:0] A , B;
        input           Cin;
        wire            c1 , c2 , c3;
        fulladder_1bit          FA0 (SUM[0] , c1 , A[0] , B[0] , Cin);
        fulladder_1bit          FA1 (SUM[1] ,  c2 , A[1] , B[1], c1 );
        fulladder_1bit          FA2 (SUM[2] , c3 , A[2] , B[2], c2 );
        fulladder_1bit          FA3 (SUM[3] , Cout , A[3] , B[3], c3 );
endmodule
```

همانطور که در متن برنامه مشاهده می کنید چهار بار از جمع کنندهٔ یک بیتی که در مثال قبل طراحی کرده بودیم استفاده نموده و یک جمع کننده چهار بیتی ساخته ایم .

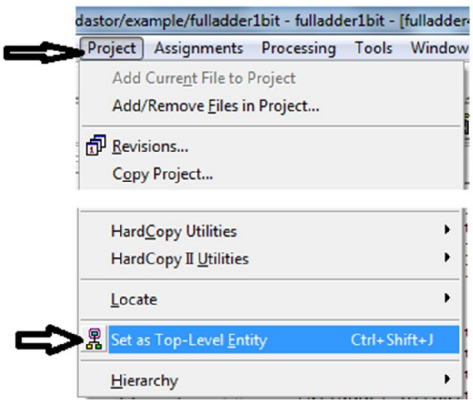
در این برنامه ورودیهای A ، B و SUM بصورت یک بردار چهار بیتی تعریف شده اند در این حالت ابتدا اندازه بردار در داخل [](کروشه باز ، کروشه بسته) آورده می شود که اولین عدد شمارهٔ پر ارزشترین بیت سپس علامت : و بعد از آن شماره کم ارزشترین بیت قرار می گیرد و سپس نام ورودی و یا خروجی آورده می شود

آزمایش۵-۲: جمع کننده چهار بیتی

برنامه جمع کننده چهار بیتی را توسط نرم افزار و در همان پروژهٔ قبلی پیاده سازی کنید .

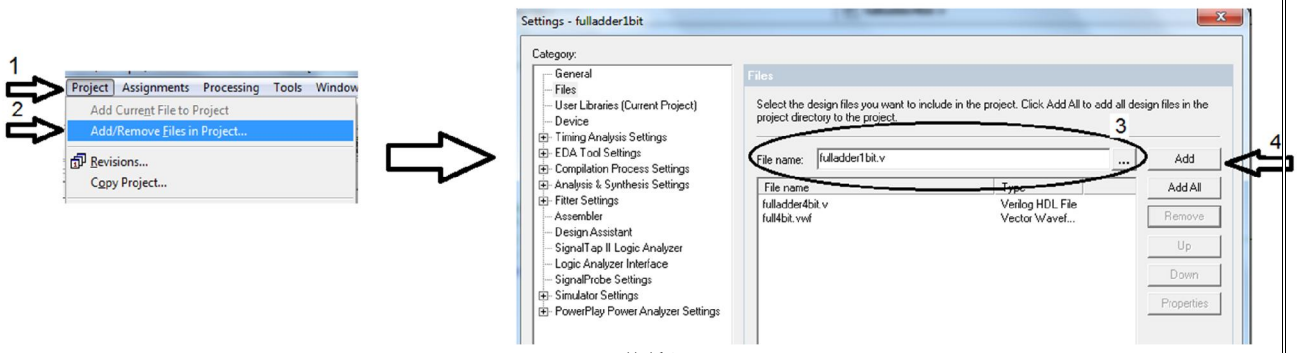
راهنمایی : برای انجام این تمرین ابتدا در پروژهٔ قبلی یک فایل جدید متنی وریلاگ بسازید و برنامهٔ بالا را وارد کنید و فایل را با نام fulladder_4bit که همان نام ماژول است ذخیره نمایید .

قبل از شروع کامپایل برنامه ، فایل جدید باید در حالت Top-Level قرار گیرد برای این منظور طبق شکل۶ عمل کنید :



شکل۶

در این برنامه چون از برنامه جمع کننده یک بیتی استفاده شده ، فایل آن نیز باید به پروژه الصاق شود تا محتویات آن توسط برنامهٔ جدید شناخته شود برای این منظور طبق شکل ۷ و به ترتیب شماره ها عمل نمایید:



شکل۷

نکته : نمایش اعداد ثابت در وریلاگ

ساختار کلی نمایش اعداد در این زبان بصورت زیر است:

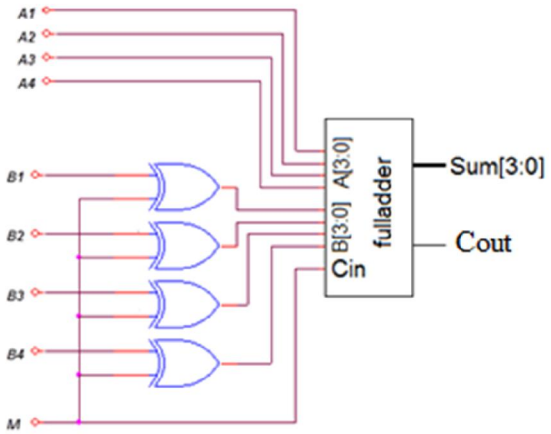
<Size> ' <Radix><Value> →<اندازه> ' <مبنا><مقدار>

مثال : در جدول زیر چند نمونه از روش نمایش اعداد ثابت در وریلاگ آمده است .

مقدار در برنامه	مقدار ذخیره شده در حافظه	توضیح
15	00000000000000000000000000001111	بدون ذکر اندازه :۳۲ بیت دسیمال
4'b1111	1111	با ذکر اندازه: ۴ بیت در مبنای باینری
8'h0f	00001111	با ذکر اندازه: هشت بیت در مبنای هگز
8'd15	00001111	با ذکر اندازه: هشت بیت در مبنای دسیمال
8'hzz		با ذکر اندازه :هشت بیت امپدانس بالا
8'hxx		با ذکر اندازه: هشت بیت مقدار نامعتبر

آزمایش۵-۳: جمع کننده و تفریق کنندهٔ چهار بیتی

مدار جمع کننده و تفرق کننده در شکل زیر نمایش داده شده است . با استفاده از برنامهٔ دو آزمایش قبل ، این مدار را توسط وریلاگ پیاده سازی نمایید نتیجه را توسط بورد سخت افزار مشاهده کرده و در جدول زیر یادداشت کنید.

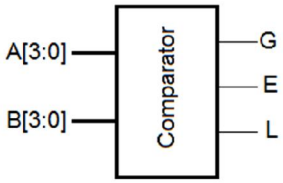


M	A	B	Sum	Co
0	0011	0010		
1	0011	0010		
0	0010	0011		
1	0010	0011		
0	1001	1000		
1	1001	1000		

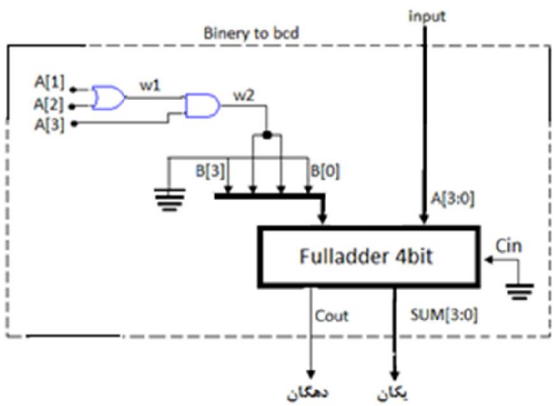
گزارش کار :

تمرینهای داده شده در زیر باید بعنوان گزارش کار در جلسهٔ بعد بصورت فایل کوارتوس تحویل داده شود.

تمرین ۵-۱: با استفاده از حالت تفریق در مدار جمع کننده/تفریق کننده ، یک مقایسه کنندهٔ چهار بیتی مانند شکل زیر طراحی کنید . طرح خود را توسط شبیه سازی آزمایش کنید .



تمرین ۵-۲ : شکل زیر مدار مبدل باینری چهار بیتی به دهدهی دو رقمی را نشان می دهد . مدار را توسط وریلاگ توصیف کرده و عملکرد آنرا توسط شبیه سازی بررسی کنید .



راهنمایی : برای اِعمال والحاق چند بیت جداگانه در یک باس دیتا می توان از عملگر الحاق {} استفاده کرد . مثلا در این مدار برای دادن مقدار به ورودی B و بجای آن میتوان به این صورت عمل کرد :

B→{1'b0, w2,w2,1'b0}

جدول عملگرها در صفحهٔ بعد آمده است .

بسیاری از عملگرهای موجود در جدول زیر در توصیف مدار بر اساس توصیفهای جریان داده و رفتاری که در جلسات بعد توضیح داده می شود مورد استفاده قرار می گیرند .

نوع عملگر	سمبل عملگر	عملیات	عملوند ها
عملگر های رابطه ای[1] ، تساوی ، بیتی	<	کوچکتر از	۲
	>	بزرگتر از	۲
	<=	کوچکتر و مساوی	۲
	>=	بزرگتر و مساوی	۲
	==	تساوی	۲
	!=	عدم تساوی	۲
	===	تساوی نوع حروف	۲
	!==	عدم تساوی نوع حروف	۲
	~	معکوس بیتی	۱
	&	و بیتی	۲
	|	یا بیتی	۲
	^	یا اختصاصی بیتی	۲
	^~ یا |~	معکوس یا اختصاصی بیتی	۲

نوع عملگر	سمبل عملگر	عملیات	عملوند ها
عملگر های حسابی و منطقی	*	ضرب	۲
	/	تقسیم	۲
	+	جمع	۲
	-	تفریق	۲
	%	باقی مانده	۲
	!	معکوس منطقی	۱
	&&	و منطقی	۲
	||	یا منطقی	۲
عملگر های الحاق و تکرار	{ }	الحاق	نا محدود
	{{ }}	تکرار	نا محدود
عملگر های شیفت	>>	شیفت راست	۲
	<<	شیفت چپ	۲

جدول ۲ –عملگرهای زبان وریلاگ

آزمایش ششم

توصیف مدار بر اساس جریان داده

در توصیف جریان داده برای تعیین نسبت بین ورودی و خروجی از عملگرهای منطقی و حسابی استفاده میشود . در این حالت از کلمهٔ کلیدی assigned برای تخصیص مداوم یک مقدار به یک داده ار نوع net استفاده می گردد .دادهٔ نوع net برای نشان دادن اتصال فیزیکی بین دو عنصر مدار بکار می رود. نت بصورت صریح با یک کلید واژهٔ نوع نت (wire) یا با اعلان یک متغیر بعنوان دریچه خروجی معرفی می شود.

برای درک بهتر این بخش به مثالهای ساده زیر توجه کنید.

مثال ۱ : جمع کنندهٔ چهار بیتی (مدار شکل ۵ آزمایش پنجم) با روش جریان داده

```
module      fulladder_4bit  ( SUM , Cout , A , B , Cin);
    output      [3:0] SUM;
    output      Cout;
    input       [3:0] A , B;
    input       Cin;
    assign      { Cout , SUM } = A + B + Cin;
endmodule
```

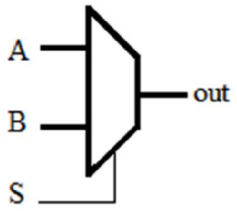
در مثال اخیر خروجی چهار بیتی SUM و خروجی یک بیتی Cout با عملگر الحاق {} با هم ترکیب شده و یک متغیر پنج بیتی را تشکیل می دهند . در این حالت چهار بیت اول حاصل جمع به متغیر SUM و بیت پنجم نتیجه به خروجی Cout تخصیص دهی می شود.

دقت کنید که در این روش ، مدار داخلی جمع کننده برای ما اهمیت ندارد فقط رابطهٔ بین خروجی و ورودی برای توصیف مدار کافی است.

مثال ۲ : مالتی پلکسر ۲ به ۱

جدول درستی و شکل نمادین یک مالتی پلکسر ۴ به ۱ درزیر نشان داده شده است . در کنار آن توصیف مدار بر اساس مدل جریان داده آمده است .

```
module      mux2to1(out , a , b, s);
output      out;
input       a , b , s ;
assign      out = s ? b : a ;
endmodule
```



s	out
0	a
1	b

شکل ۸

توضیح عبارت شرطی آخر برنامه:

condition ? true expression : false expression

شرط ؟ عبارت درست : عبارت نادرست

مثال ۳ : مقایسه کنندهٔ یک بیتی با روش جریان داده

```
module comp1bit (output  Gt ,  Eq , Lt , input  a , b )
        assign          Gt = a > b ;
        assign          Lt = a < b ;
        assign          Eq = a == b ;
endmodule
```

input		output		
A	B	Gt	Eq	Lt
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

در این روش از گزاره های شرطی برای توصیف مدار استفاده شده است در این صورت نیازی به دانستن جدول درستی نیست. همانطور که در خط اول برنامه مشاهده می کنید میتوان تعریف ورودی و خروجیها را همزمان با اِعلان آنها انجام داد.

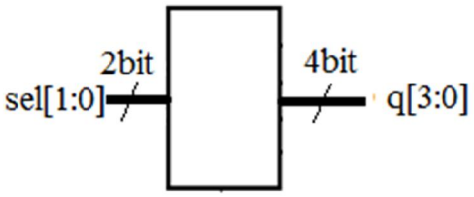
آزمایش ۶-۱ : مبدل باینری به دهدهی مربوط به تمرین آزمایش پنجم را با روش جدید پیاده سازی کنید . می توانید با تغییرات مناسب در مثال اول و با توجه به دو مثال بعدی اینکار را انجام دهید . صحت عملکرد طراحی را روی بورد بررسی کنید .

آزمایش ۶-۲ : مدار جمع کننده / تفریق کنندهٔ در آزمایش ۵-۳ را با روش جریان داده باز سازی کنید و درستی عملکرد آنرا روی بورد بررسی کنید .

مثال ۴ : دیکودر ۲ به ۴

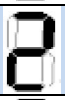
برنامهٔ زیر یک دیکودر ۲ به ۴ که دارای دو ورودی و چهار خط خروجیست را پیاده سازی می کند .

```
module          decoder2to4( input   [1:0] sel , output   [3:0]q  );
assign          q =  (sel == 2'b00)  ?  4'b0001 :
                     (sel == 2'b01)  ?  4'b0010 :
                     (sel == 2'b10)  ?  4'b0100 :
                                        4'b1000;
endmodule
```



دیکودر ۲ به ۴

تمرین : یک مبدل باینری چهاربیتی به کد سون سگمنت طراحی کنید تا بتواند اعداد مبنای هگز از 0 تا F را روی سون سگمنت نمایش دهد . از جدول زیر برای تعیین وضعیت خروجیها استفاده نمایید . برای اعداد A تا F جدول را تکمیل کنید . از مثال ۴ برای پیاده سازی این ماژول می توانید الگوبرداری کنید.

عدد	نمایش	کد هگز	وضعیت سگمنت							
			p	g	f	e	d	c	b	a
0		3f	0	0	1	1	1	1	1	1
1		06	0	0	0	0	0	1	1	0
2		5b	0	1	0	1	1	0	1	1
3		4f	0	1	0	0	1	1	1	1
4		6e	0	1	1	0	1	1	1	0
5		6d	0	1	1	0	1	1	0	1
6		7d	0	1	1	1	1	1	0	1
7		07	0	0	0	0	0	1	1	1
8		7f	0	1	1	1	1	1	1	1
9		67	0	1	1	0	0	1	1	1
A										
b										
C										
b										
E										
F										

آزمایش هفتم

مدل سازی رفتاری

توصیف مدارهای دیجیتال در سطح آلگوریتمی و عملیاتی را توصیف رفتاری می گوییم .این مدل چگونگی عملکرد مدار را توضیح و توصیف سریعی از رفتار مدار ارائه می دهد بدون اینکه مجبور باشد سخت افزار را معرفی کند. این مدل اغلب در توصیف مدارهای ترتیبی کاربرد دارد ولی قابل استفاده در مدارهای ترکیبی نیز هست.

مدل رفتاری مبتنی بر کنترل رخداد است یعنی تا یک رویداد خاص اتفاق نیفتد خروجیها تغییری نمی کنند توصیف مدار در این مدل با کلید واژهٔ always شروع می گردد و سپس به دنبال آن یک عبارت کنترل رخداد قرار می گیرد. عبارت کنترل رخداد تعیین می کند که گزاره ها چه زمانی باید اجرا گردند. بعد از عبارت کنترل رخداد تعداد دلخواهی از گزاره ها با انتساب روندی قرار می گیرد . خروجی در بلوک always از نوع ثبات می باشد که با کلیدواژهٔ reg تعریف می گردد . این نوع متغیر برخلاف متغیر از نوع wir که مداوم می تواند تخصیص دهی شود ، مقدارش را تا تخصیص دهی جدید حفظ می کند . یک ماژول می تواند از چند بلوک always تشکیل شود. همهٔ این بلوکها بصورت همزمان اجرا می شوند.

مثال ۱ : مبدل باینری به BCD

```
module      bin2bcd (input   [3:0] a , output   [3:0] digit1 , output   digit2  );
reg         digit2 , [3:0]digit1;
always  @ ( a )
        if (a >4'b1001 )
                {digit2,digit1} = a + 4'b0110;
        else
                {digit2,digit1} = a + 4'b0000;
endmodule
```

در برنامهٔ بالا خروجیهای digit1 و digit2 یکبار با کلیدواژهٔ output بعنوان خروجی تعریف شده و بار دیگر با کلیدواژهٔ reg بعنوان یک ثبات تعریف گردیده است چرا که خروجی در مدل رفتاری باید از نوع ثبات باشد.
دستورات بعد از کلیدواژهٔ always وقتی اجرا می شوند که تغییری در سیگنال ورودی a صورت گیرد در غیر این صورت اجرا تا تغییر بعدی متوقف می شود .

کنترل زمان در بلوک always

بطور کلی بلوک always در زمان صفر شروع بکار می کند. در وریلاگ می توان یک بلوک را طوری کنترل نمود تا در زمان خاصی مثلا در لبهٔ یک پالس ساعت فعال شود. کنترل زمان می تواند مبتنی بر روشهای زیر باشد .

- کنترل رویداد با قاعده

یک رویداد به معنای تغییر یک ثبات و یا یک نت است. در روش رفتاری از علامت @ برای کنترل رویداد استفاده می شود. در این حالت دستورات می توانند با تغییر در لبهٔ یک سیگنال چه بالارونده و چه پایین رونده اجرا شوند . به نمونه های زیر دقت کنید.

```
@(clock)  q = a ; //با هر تغییر در سیگنال کلاک دستور اجرا می شود
@(posedge clock) q = a; // در لبهٔ بالا رونده کلاک دستور اجرا می شود
@(negedge clock) q = a ; // در لبهٔ پایین رونده دستور اجرا می شود
Q = @(posedge clock) a ; //
```

- کنترل چند رویداد

گاهی اوقات چند سیگنال داریم که تغییر در یکی از آنها سبب تریگر شدن و اجرای یک مجموعه از دستورات می شود.لیست این رویدادها و یا سیگنالها را لیست حساسیت می گوییم.

مدل رفتاری برای مدارهای ترتیبی

در مدار های ترتیبی، رخداد باید از نوع حساس به لبه باشد. که این امر با کلید واژه های posedge و negedge بیان می شود.

مثال ۲ : فلیپ فلاپ نوع D حساس به لبهٔ بالارونده با Reset سنکرون

```
module          d_ff (input  d , clk , reset , outputreg   q ) ;
        always @ ( posedge clk )
                if ( reset )
                        q = 1'b0;
                else
                        q = d ;
endmodule
```

در این مثال واکنش خروجی به ورودی ریست ، وابسته به کلاک است.

مثال ۳ : فلیپ فلاپ نوع D حساس به لبهٔ بالارونده با Reset آسنکرون

```
module          d_ff (input  d , clk , reset , output  reg   q ) ;
        always @ ( posedge  clk  , posedge  reset )
                if ( reset )
                        q = 1'b0;
                else
                        q = d ;
endmodule
```

در این مثال گزاره های داخل بلوک هم با تغییر مقدار ریست و هم با تغییر کلاک اجرا می شود. بنابراین Reset وابسته به کلاک نیست .

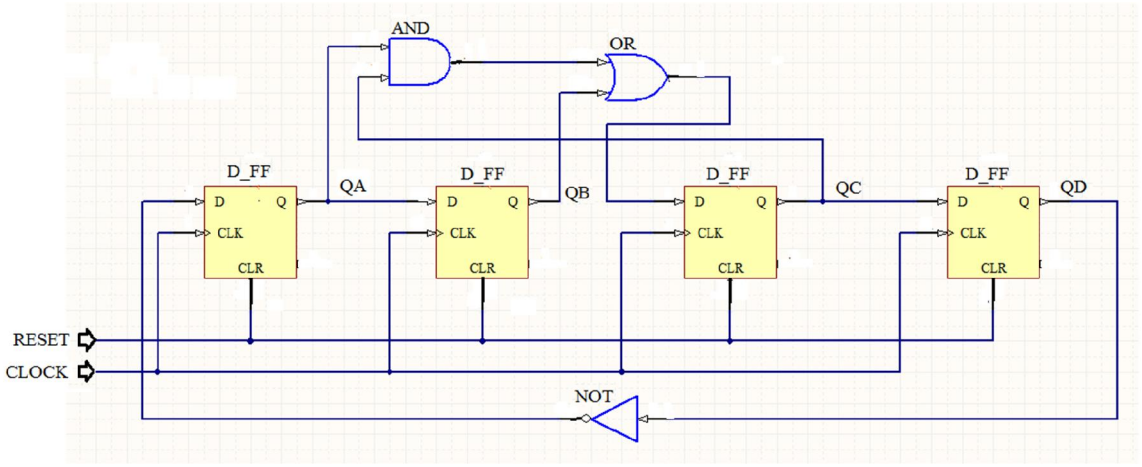
مثال ۴ : شمارندهٔ چهار بیتی بالا شمار حساس به لبهٔ پایین رونده با Reset آسنکرون

```
Module        bincounter (input  clk , reset , output   reg   [3:0] q ) ;
        always    @ (negedge   clk , negedge   reset)
                if (! reset )
                        q = 4'h0;
                else
                        q = q +1 ;
endmodule
```

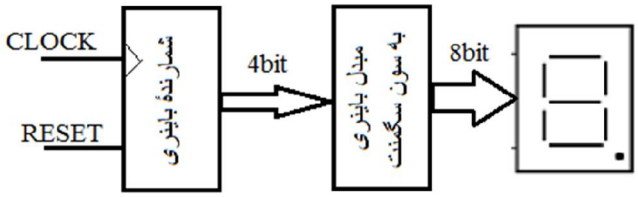
دقت داشته باشید که حساسیت تعریف شده برای Reset با گزارهٔ شرطی مربوط به این ورودی در داخل بلوک always باید هماهنگی داشته باشد .

آزمایش ۱ :یک شمارندهٔ چهاربیتی دهدهی (شمارش از ’0‘ تا ’9‘) طراحی کنید. این مدار دارای پایه ورودی Reset آسنکرون حساس به سطح صفر است . خروجی را توسط شبیه سازی نمایش دهید و سپس روی بورد پیاده سازی نمایید. (با اضافه نمودن یک گزارهٔ شرطی مناسب در مثال ۴ می توانید این برنامه را بنویسید)

آزمایش ۲ : با استفاده از روشهای سطح گیت و مدل سازی رفتاری ، برنامهٔ مدار شکل زیر را بنویسید و آنرا روی بورد پیاده سازی نمایید . برای فلیپ فلاپ D از برنامهٔ مثال ۳ استفاده کنید همچنین می توانید از مثال جمع کنندهٔ چهار بیتی در آزمایش پنجم الگوبرداری کنید.



آزمایش ۳ : با استفاده از تمرین آزمایش ششم (مبدل باینری به کد سون سگمنت) و برنامهٔ مثال ۴ ، مدار شکل زیر را روی بورد پیاده سازی کنید .

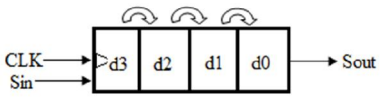


آزمایش هشتم

طراحی شیفت رجیستر و حافظه

مثال ۱ : ثبات چهار بیتی با ورودی و خروجی سریال با قابلیت شیفت به راست

```
module      shiftreg ( input   clk , sin , output   sout );
        reg     [3:0]temp ;
        always          @(posedge    clk )
                begin
                        temp  <=  temp >> 1 ;
                        temp[3] <= sin ;
                end
        assign          sout = temp[0]
endmodule
```



شکل۱

در این برنامه در گزاره های داخل بلوک always بر خلاف برنامه های قبل از عملگر انتساب <= استفاده شده است. در وریلاگ به عملگر = عملگر انتساب بلوکی و به عملگر <= عملگر انتساب غیر بلوکی گفته می شود. برای درک تفاوت این دو به مثالهای زیر توجه کنید.

```
begin
        a = b + c ;       \\ if  b=3  and  c=2   and  a(t-1) =1  =>  a=5
        d = a ;  \\  => d=5
end
```

در این بلوک از عملگر انتساب بلوکی (=) استفاده شده است .همانطور که می بینید گزاره ها به ترتیب از بالا به پایین اجرا می شوند.

```
begin
        a <= b + c ;     \\ if  b=3  and  c=2  and  a(t-1) = 1 =>  a=5
        d <= a ;         \\  => d=1
end
```

در این بلوک از عملگر انتساب غیربلوکی (<=) استفاده شده است . در این حالت ابتدا مقادیر سمت راست همهٔ گزاره ها همزمان محاسبه می گردند و سپس عمل انتساب و مقدار دهی به متغیرهای سمت چپ صورت می گیرد. در این صورت ترتیب نوشتن گزاره ها از بالا به پایین تاثیری در عملکرد مدار نخواهد داشت.

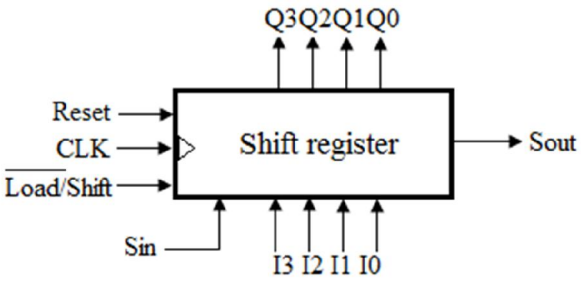
نکتهٔ دیگری که در برنامهٔ شیفت رجیستر جلب توجه می کند استفاده همزمان از دو روش توصیف رفتاری و جریان داده است .اگر توجه کرده باشید خروجی sout از نوع ثبات تعریف نشده است پس عمل انتساب مقدار به آن باید بصورت پیوسته و با کلیدواژهٔ assign صورت گیرد. باید توجه داشته باشید که بلوک always و بلوک assign بصورت همزمان و موازی اجرا می شوند.

سیگنال temp یک سیگنال داخلی و از دید کاربر مخفی است پس در تعریف ماژول و اِعلان ورودیها و خروجیها آورده نمی شود.

تعریف آرایه : برای تعریف یک متغیر از نوع آرایه می توان مانند مثال زیر عمل کرد.در این مثال یک حافظه هشت بیتی با ظرفیت ۱۶ بایت تعریف کرده ایم .

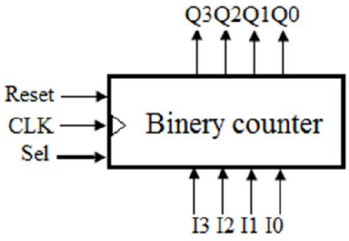
```
module        SRam (output  [7:0]Sramout , input   [7:0]Sramin , input   [3:0]Sramaddress ,
                    Input   Clock , Wren) ;
        reg     [7:0]Ram[0:15] ;
        always     @(posedge    clk )
                begin
                        if( Wren )
                        Ram[Sramaddress] = Sramin ;
                end
assign   Sramout  =  Ram[Sramaddress];
endmodule
```

آزمایش۸-۲ : یک شیفت رجیستر مانند شکل زیر با قابلیت بارگذاری موازی سنکرون و شیفت به راست و همچنین ورودی Reset آسنکرون طراحی نمایید.



شکل۲

آزمایش ۸-۳ : یک شمارندهٔ چهار بیتی باینری با خط انتخاب شمارش صعودی و نزولی ، دارای ورودی چهار بیتی و خط فعال ساز بارگذاری سنکرون و همچنین خط reset آسنکرون طراحی نمایید (شکل زیر). خروجی آنرا در محیط شبیه سازی در حالتهای متفاوت مشاهده کنید .



Sel	Function
00	Load
01	Count up
10	Count down
11	No change

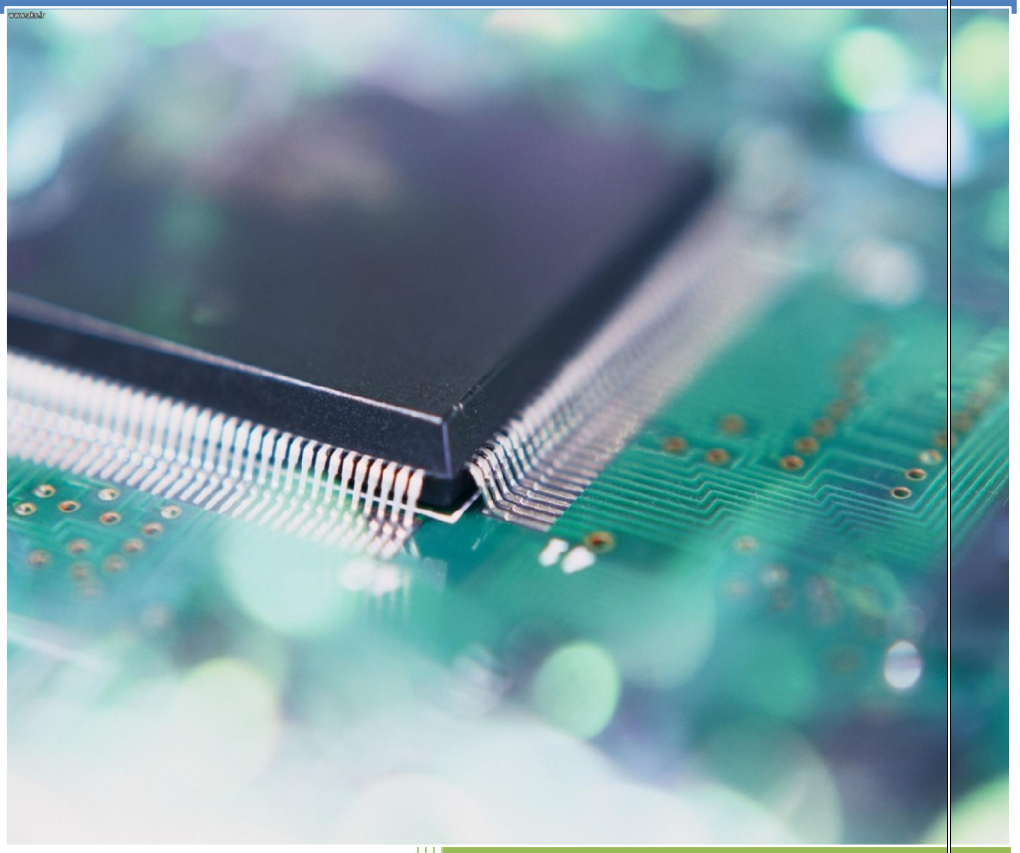
شکل۳

آزمایش ۸-۳ : با استفاده از برنامهٔ آزمایش قبل و آزمایش مبدل باینری به سون سگمنت ، خروجی شمارنده را روی سون سگمنت بورد نمایش دهید .

بسمه تعالی

دانشگاه کاشان

راهنمای نرم افزار QUARTUS



دانشکدهٔ برق و کامپیوتر
آزمایشگاه مدار منطقی
محمّدرضا فتّاح

راهنمای نرم افزار

آشنایی با نرم افزار کوارتوس (Quartus)

مقدمه

شرکت ALTRA که در زمینهٔ ساخت آی سی های برنامه پذیر مانند FPGA فعالیت می کند نرم افزار کوارتوس را برای طراحی مدارهای منطقی و پیاده سازی آن روی آی سی های برنامه پذیر در اختیار کاربران قرار داده است . در این نرم افزار با روشهای مختلف از جمله برنامه نویسی متنی و یا روش شماتیک می توان عمل طراحی و شبیه سازی و در نهایت سنتز مدار را انجام داد.

در این متن روش طراحی توسط زبان وریلاگ وشبیه سازی و سپس پیاده سازی آن را با استفاده از این نرم افزار توضیح خواهیم داد.

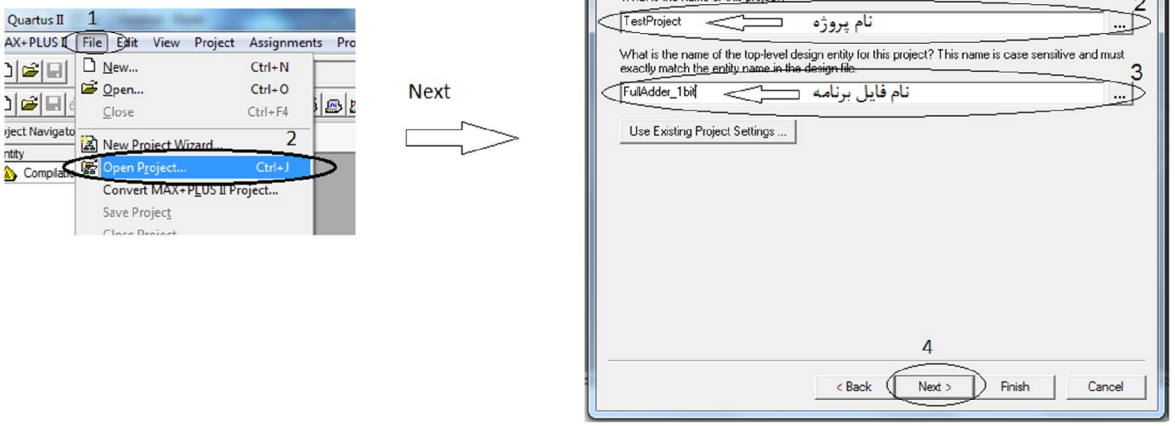
۱- ایجاد پروژه

در این نرم افزار هر پروژه شامل چندین فایل از جمله فایل اصلی برنامه و فایلهای فرعی دیگر است برای جلوگیری از پراکندگی فایلها ، حتماً سعی کنید در ابتدا یک پوشه با نام مناسب بسازید . توجه داشته باشید که نام پوشه و یا فایلها حتماً با استفاده از حروف اصلی لاتین و بدون استفاده از کارکترهایی مانند & و غیره باشد . در غیر این صورت هنگام کامپایل برنامه با خطا مواجه خواهید شد . البته ایجاد پوشه را می توانید هنگام ساخت پروژه نیز انجام دهید.

قصد ما در این جا طراحی و پیاده سازی مدار تمام جمع کنندهٔ یک بیتی است بنابراین نام فایل را FullAdder_1bit انتخاب کنید که مربوط به آزمایش اول دستور کار (بخش دوم) است .

برای ایجاد پروژه مراحل زیر را دنبال کنید:

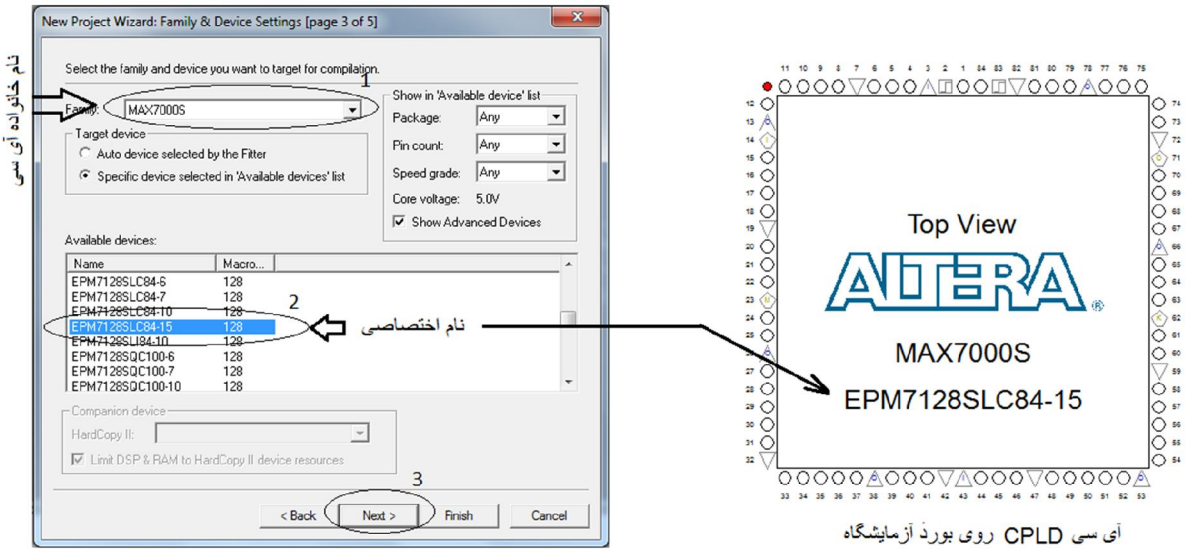
نرم افزار را اجرا کنید و طبق شکل (سمت چپ)از منوی File گزینه New Project Wizard را انتخاب کنید.



توجه داشته باشید در این مرحله فقط پروژهٔ معرفی شده ایجاد می شود ولی فایل مربوطه با نام داده شده در مرحلهٔ ۳ ، بعداً باید با همین نام ساخته شود. نوع و فرمت این فایل (متنی یا شماتیک) در هنگام ساخت مشخص می شود

توجه داشته باشید که این فایل اصطلاحاً TopLevel نامیده می شود. اگر در پروژه ساخته شده فایلی با این نام وجود نداشته باشد در هنگام کامپایل ، پیغام خطای عدم وجود فایل TopLevel داده خواهد شد.

کلید Next را بزنید تا پنجرهٔ زیر (سمت چپ) ظاهر شود.

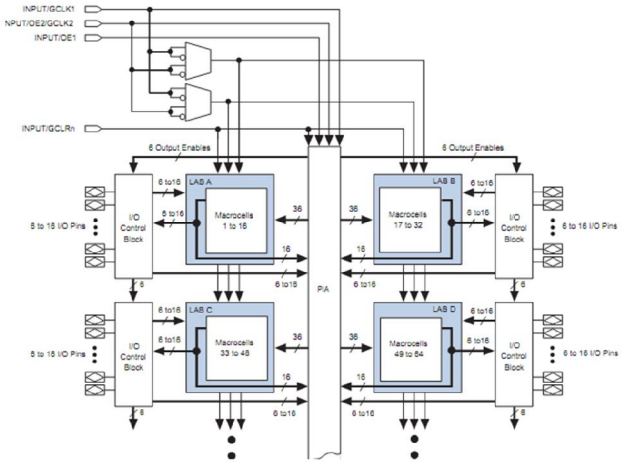


آی سی CPLD روی بورد آزمایشگاه

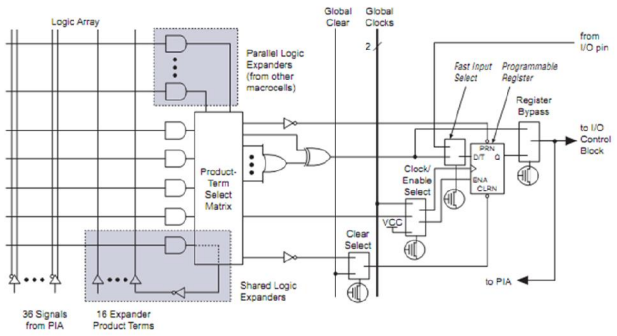
در این مرحله آی سی برنامه پذیری که قصد داریم طرح نهایی مدار خود را روی آن پیاده سازی کنیم انتخاب میکنیم. بورد آموزشی آزمایشگاه مدارهای منطقی که آزمایشهای خود را با آن انجام میدهیم مبتنی بر آی سی با نام EPM7128SLC84-15 است. این المان یک آی سی برنامه پذیر CPLD ساخت شرکت ALTRA است .

حروف EP در ابتدای نام ، نشانهٔ این است که حافظهٔ برنامه پذیر این آی سی از نوع EPROM است .

حروف M7xxxS نشان دهندهٔ خانوادهٔ این آی سی یعنی MAX7000S و عدد 128 نشانگر ظرفیت مدارات داخلی این المان بر حسب MacroCell است (۱۲۸ ماکروسل). عدد84 تعداد پایه های آی سی را نشان میدهد. تعدادی از این پایه ها مربوط به تغذیه آی سی و تعدادی دیگر مربوط به برنامه ریزی و باقیمانده می توانند بعنوان ورودی و یا خروجی (I/O) استفاده گردند.



MAX 7000E & MAX 7000S Device Block Diagram

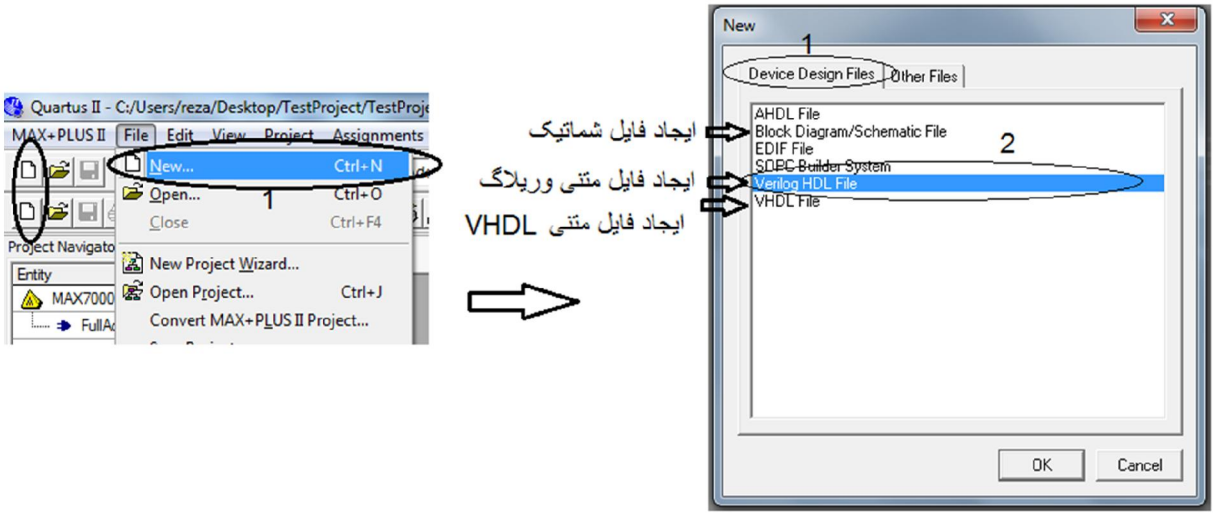


MAX 7000E & MAX 7000S Device Macrocell

شکل بالا دیاگرام داخلی CPLD و مدار داخلی یک ماکروسل را نشان می دهد.

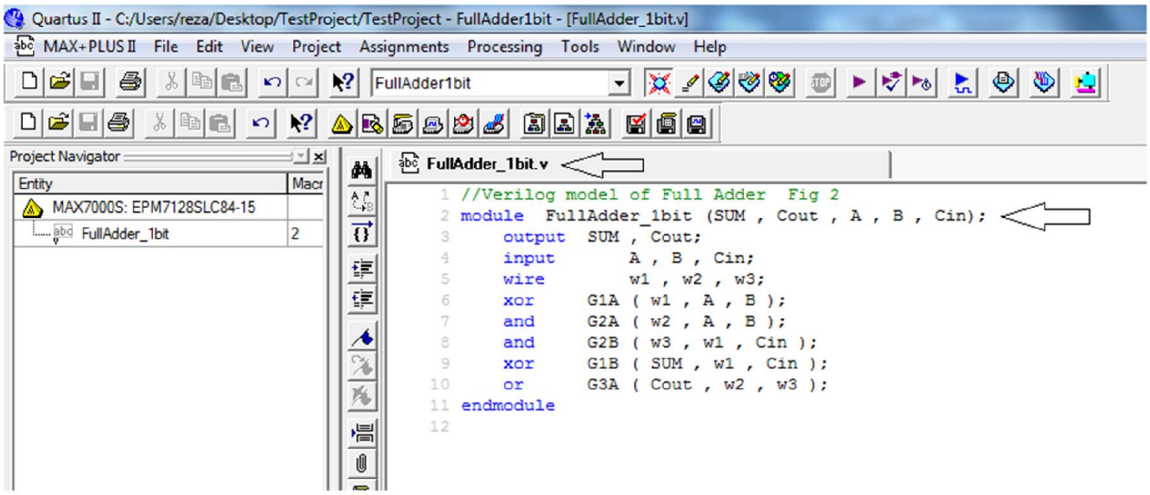
۲- ایجاد *فایل* و کامپایل برنامه

تا این مرحله چگونگی ایجاد یک پروژه به پایان رسید اکنون می خواهیم یک فایل متنی برای نوشتن و طراحی یک جمع کنندهٔ کامل یک بیتی را شروع کنیم. طبق شکل زیر(سمت چپ) از منوی File گزینهٔ New را انتخاب و در پنجرهٔ باز شده گزینه Verilog HDL را انتخاب نمایید.

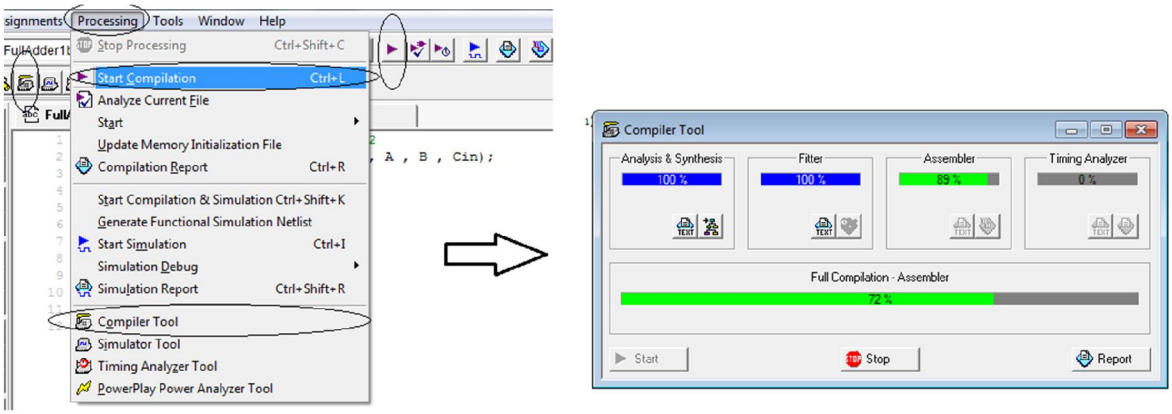


اکنون فایل متنی وریلاگ ایجاد شد با انتخاب گزینهٔ Save از منوی File فایل ایجاد شده را با نامی که قبلاً در مرحلهٔ ایجاد پروژه برای فایل TopLevel انتخاب کرده بودید ذخیره نمایید .توجه داشته باشید اگر مراحل بالا را بدرستی انجام داده باشید نام فایل پیش فرض بصورت خودکار همان نام مورد نظر و در مسیر پوشه ای که ساخته اید خواهد بود.

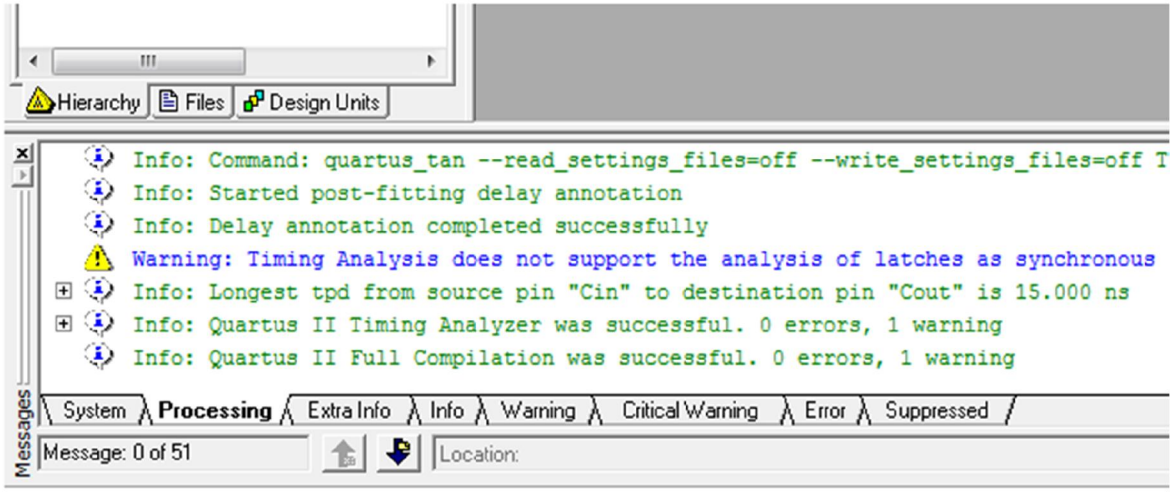
با ساخت فایل متنی اکنون می خواهیم طراحی و شبیه سازی و سنتز مدار جمع کنندهٔ کامل را شروع کنیم.ابتدا برنامهٔ مدار را در فایل ایجاد شده با زبان وریلاگ بنویسید(می توانید آنرا از داخل دستور کار کپی کنید) .



حال می توانیم برنامه را کامپایل کرده از خطاهای احتمالی مطلع شده وآنرا برطرف کنیم .برای این منظور از هر یک از گزینه های مشخص شده در شکل بعد(سمت چپ) می توانید استفاده کنید.



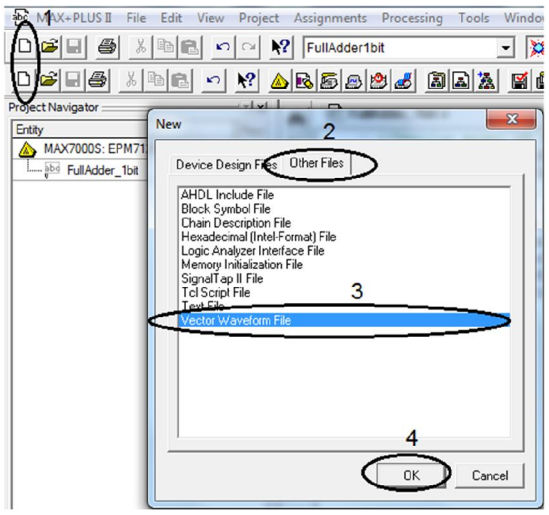
پیامهای خطا و اخطار بصورت شکل زیر در پنجرهٔ پیغامها که در زیر پنجرهٔ فایل قرار دارد ظاهر خواهد شد .



با دوبار کلیک روی پیغام خطای احتمالی محل آن در فایل برنامه مشخص می شود .

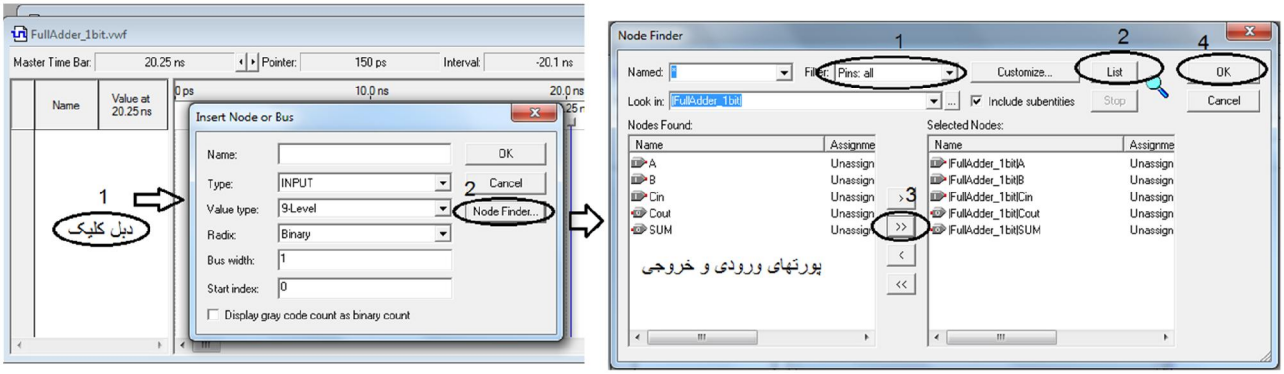
۳- شبیه سازی

در مرحلهٔ بعد با استفاده از ابزار شبیه سازی درستی عملکرد مدار را بررسی میکنیم . برای این منظور از منوی File گزینهٔ New را انتخاب کنید. در پنجره ظاهر شده و از برگهٔ OtherFile گزینهٔ Vector Waveform را گزینش نمایید.

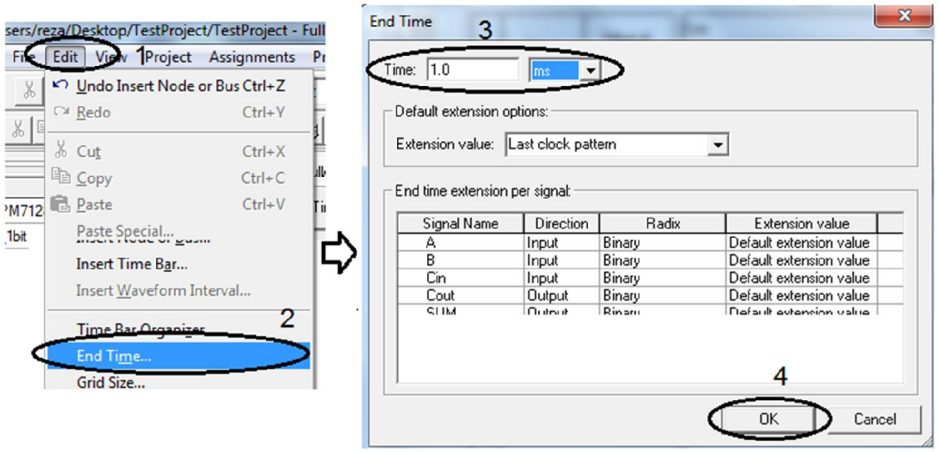


فایل شبیه سازی مانند شکل زیر ایجاد می شود:

اکنون باید سیگنالهای مدار را به فایل شبیه سازی وارد کنیم برای این منظور در پنجرهٔ لیست سیگنال، دوبار کلیک کرده و سپس مانند شکل زیر (سمت راست)مراحل مختلف را به ترتیب شماره های ذکر شده انجام دهید .

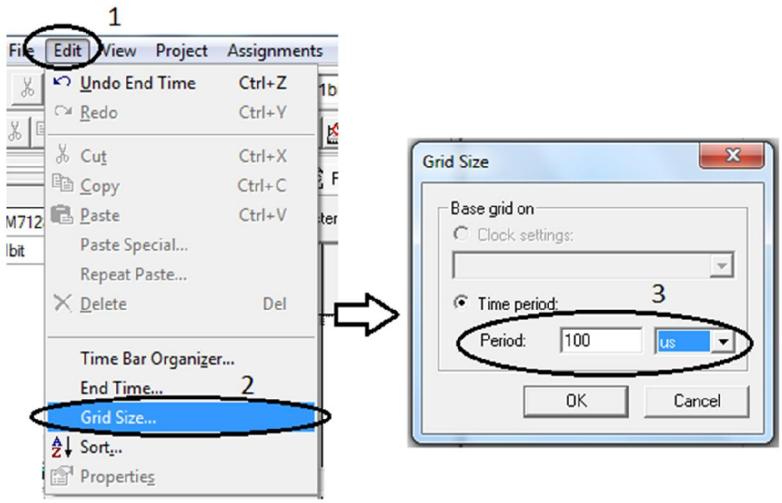


حال سیگنالهای ورودی و خروجی مدار به فایل شبیه سازی اضافه شده است. در مرحلهٔ بعد ابتدا بازهٔ زمانی شبیه سازی و همچنین بازهٔ زمانی برای هر مرحله و حالت را باید مشخص نماییم . برای بازهٔ زمان کل از شکل زیر و برای زمانی هر حالت از شکل صفحهٔ بعد استفاده کنید .



انتخاب بازهٔ زمانی شبیه سازی

در تمام آزمایشها زمان شبیه سازی را یک میلی ثانیه (1ms) انتخاب کنید.



انتخاب بازهٔ زمانی برای هر حالت

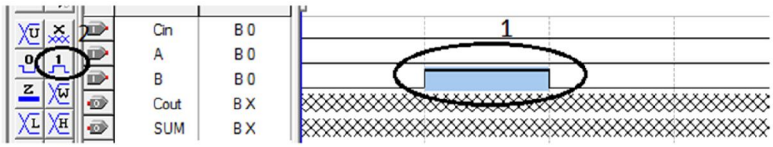
Cin	A	B	Cout	SUM
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

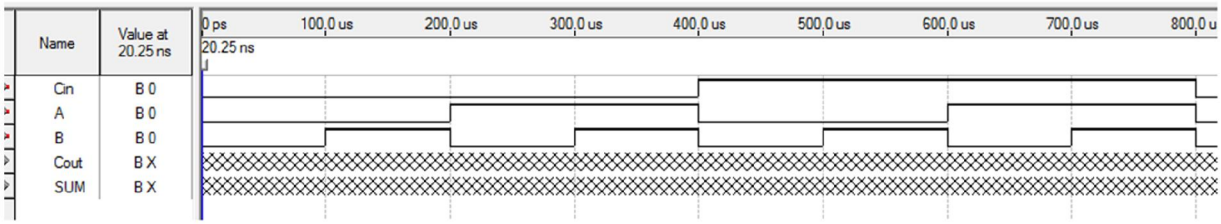
جدول حالات مدار جمع کننده

برای انتخاب بازهٔ زمانی هر حالت به تعداد حالات موجود در جدول درستی مدار نگاه می کنیم و بازهٔ زمانی کل را به تعداد حالات تقسیم می کنیم.تعداد حالات جدول عدد هشت است که برای جلوگیری از حاصل تقسیم با مقدار اعشاری آنرا ۱۰ حالت فرض می کنیم . پس زمان هر بازه برای این مدار ۱۰۰ میکرو ثانیه (100us) خواهد بود.

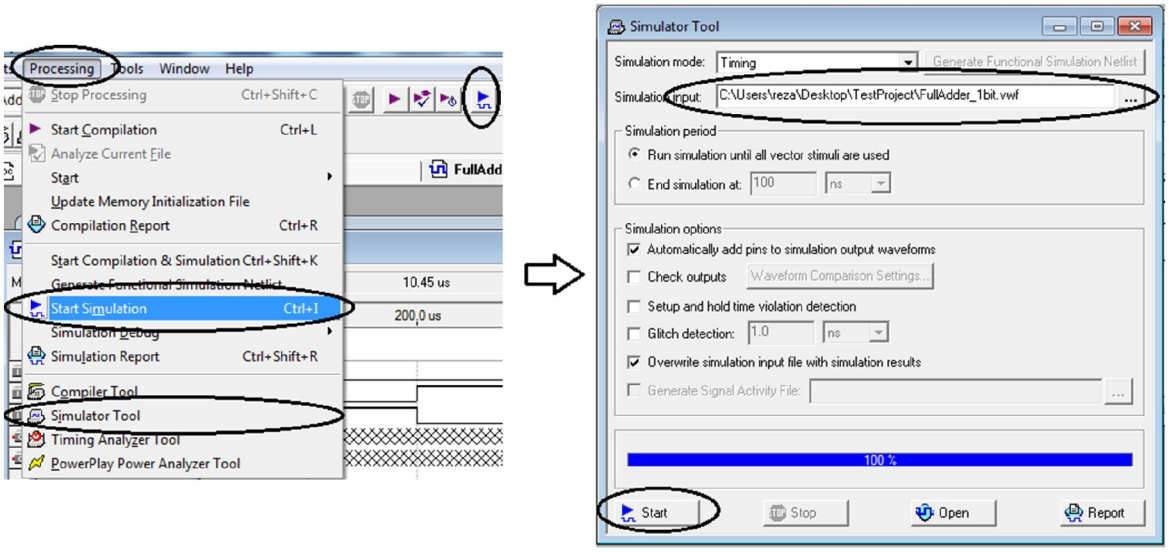
برای قرار گرفتن همهٔ حالات در پنجرهٔ نمایش سیگنال ،از کلیدهای Ctrl+W استفاده نمایید .

اکنون زمان آن رسیده است که مقادیر ورودی را برای همهٔ حالتها طبق جدول درستی مشخص نماییم به طور مثال ورودی B را در نظر بگیرید . این سیگنال در حالت اول دارای مقدار صفر و در حالت بعدی دارای مقدار یک است.همچنین مقدار پیش فرض سیگنال در شروع مقدار صفر است برای اِعمال مقدار یک به حالت دوم، نشانگر ماوس را به ابتدای قسمت دوم سیگنال B برده کلید چپ ماوس را فشار دهید و همزمان ماوس را به سمت راست و تا انتهای حالت دوم بکشید(مانند شکل زیر). این بازهٔ زمانی بصورت رنگی در می آید اکنون با انتخاب کلید  از نوار ابزار سمت چپ صفحه ، مقدار سیگنال به مقدار یک تغییر میکند. برای بقیهٔ حالات و سیگنالهای ورودی این عمل را تکرار کنید .

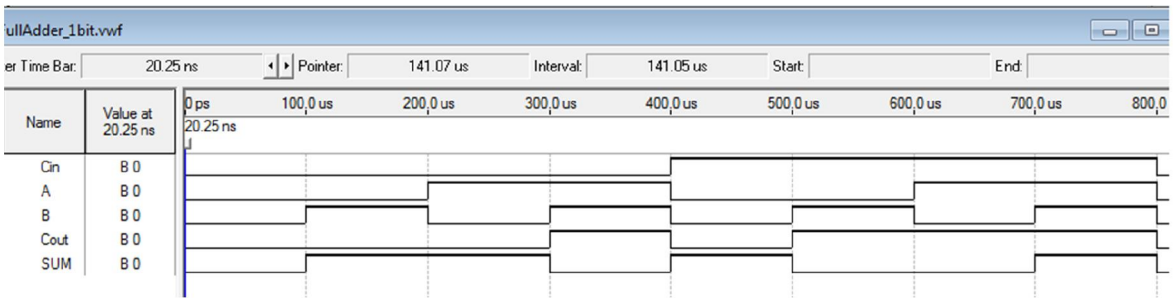




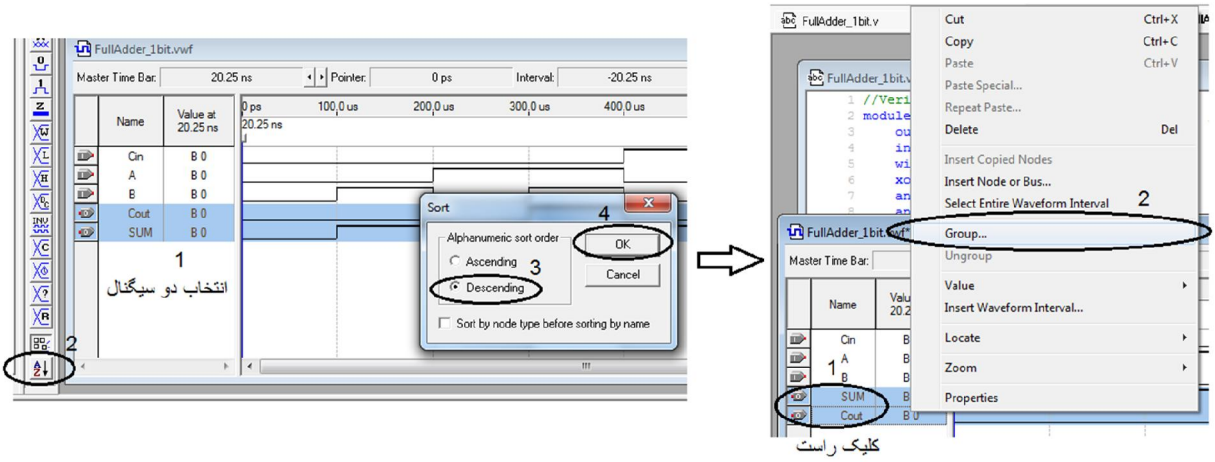
بعد از اینکه مقادیر ورودی را مشخص کردید فایل را ذخیره نمایید . نام پیش فرض پیشنهادی که همان نام فایل اصلی ولی با پسوند متفاوت است را تایید نمایید . برای آغاز شبیه سازی مراحل نشان داده شده در شکل بعد را اجرا کنید .



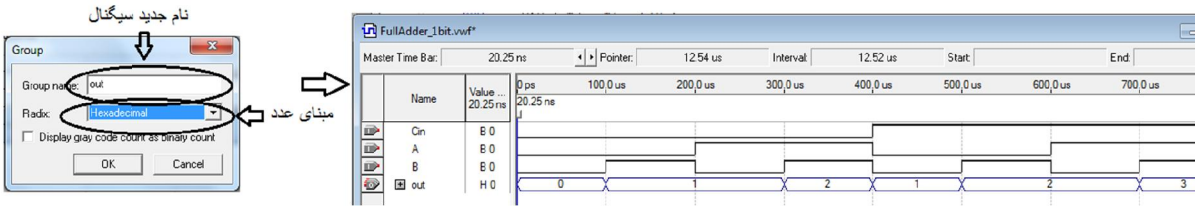
نتیجه بصورت زیر خواهد بود:



اگر بخواهیم خروجی را به صورت عددی مشاهده کنیم مراحل را طبق شکل زیر و به ترتیب انجام دهید:

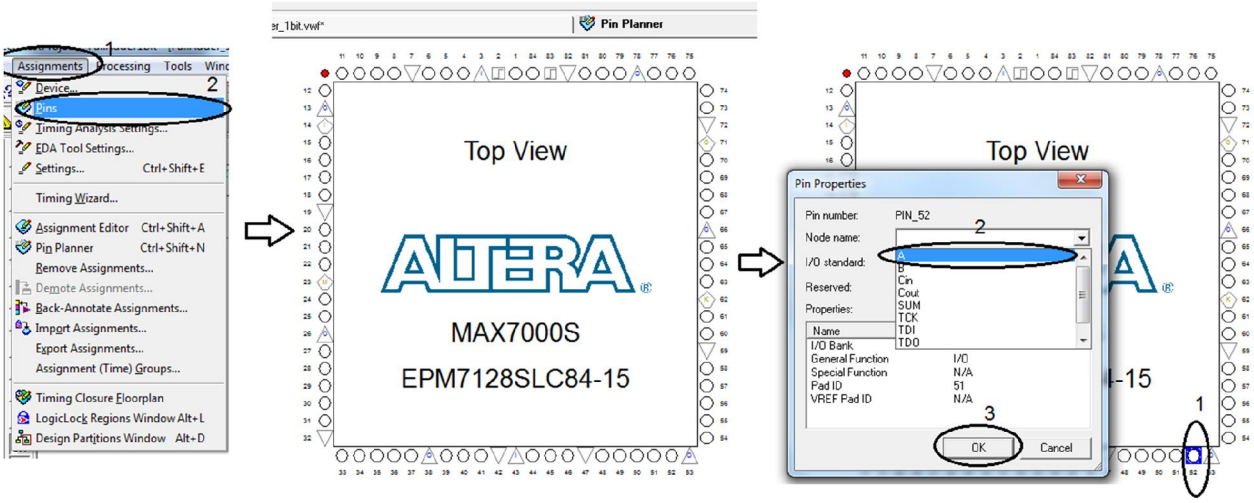


و نتیجه :



۴- پیاده سازی مدار

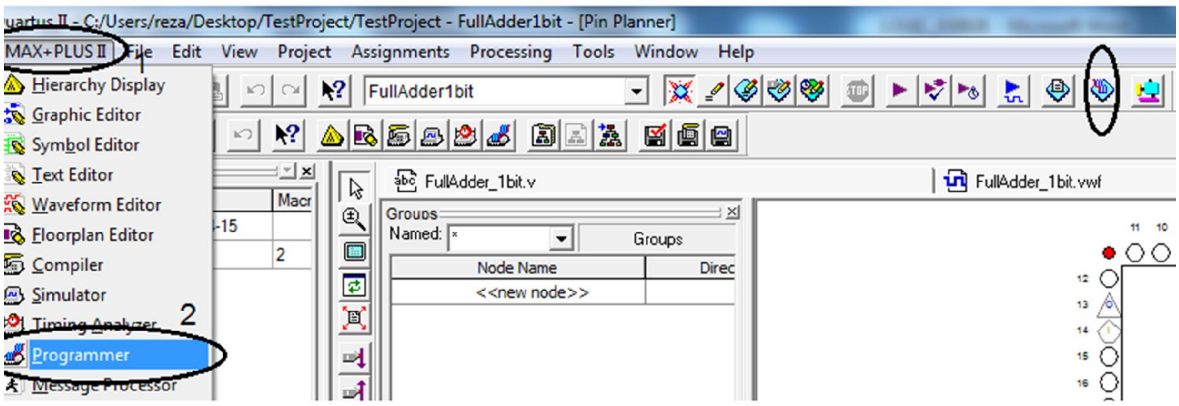
با توجه به اطمینان از درستی عملکرد مدار اکنون می خواهیم طرح خود را روی آی سی برنامه پذیر پیاده سازی و عملکرد مدار را بصورت واقعی مشاهده کنیم. برای این منظور ابتدا باید عمل اختصاص دهی پایه های آی سی به ورودی و خروجیهای مدار را انجام دهیم .با توجه به شکل زیر و به ترتیب شماره ها مراحل ذکر شده را انجام دهید .



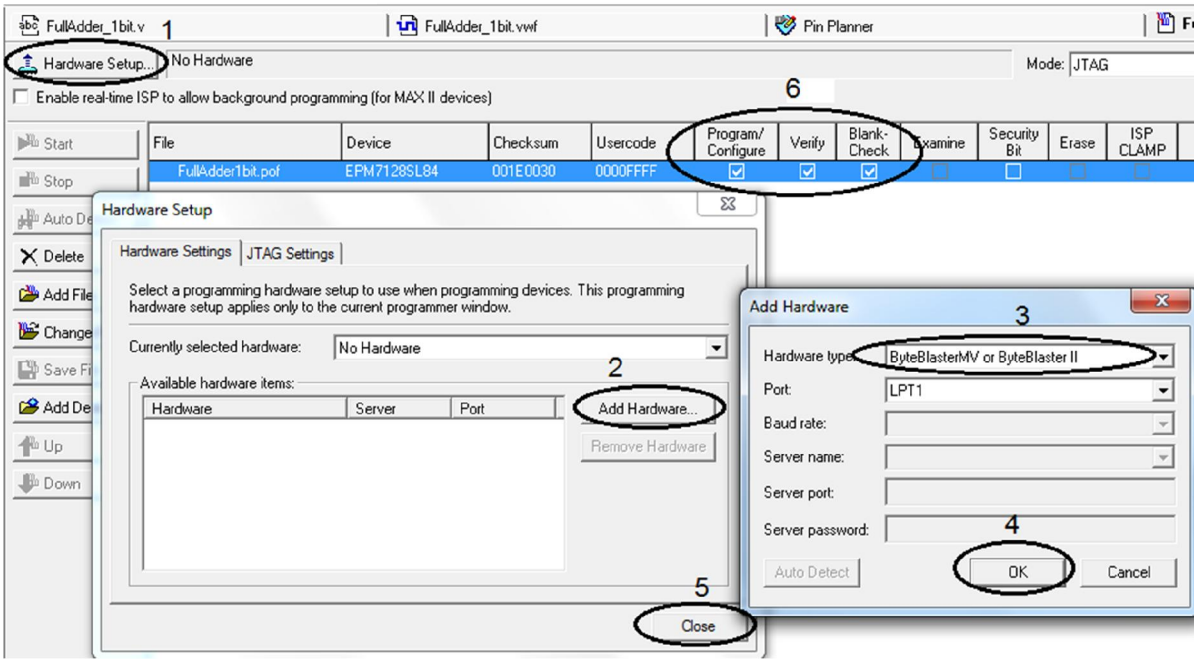
از منوی Assignments گزینهٔ Pins را انتخاب کنید . پنجره ای حاوی آی سی مورد نظر باز می شود.توجه داشته باشید پایه هایی که بصورت دایره هستند می توانند بعنوان پایه های ورودی و یا خروجی تعریف گردند.برای هماهنگی با بورد آموزشی آزمایشگاه پایه های لبهٔ پایین آی سی را برای ورودیها و پایه های لبهٔ کنار سمت راست را برای خروجیها در نظر بگیرید.

برای اختصاص دهی پایه ابتدا روی پایهٔ مورد نظر دو بار کلیک کنید. با باز شدن پنجرهٔ Pin Properties و با کلیک روی منوی باز شدنی روی اسم پایهٔ مورد نظر خود کلیک کرده تا عمل اختصاص دهی انجام شود. برای بقیهٔ پایه های مدار این کار را انجام دهید.

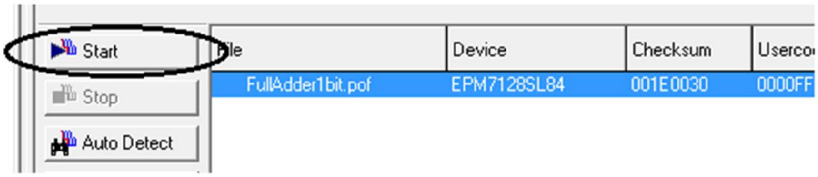
برای کامل شدن عملیات یک بار دیگر عمل کامپایل برنامه را انجام دهید . اکنون می توانید مدار خود را روی آی سی پروگرام نمایید . مانند شکل زیر از منوی Max+Plus گزینهٔ Programmer را انتخاب کنید .



بعد از باز شدن پنجرهٔ جدید ابتدا باید نوع پروگرامر خود را انتخاب کنید . مطابق شکل بعد عمل نمایید.

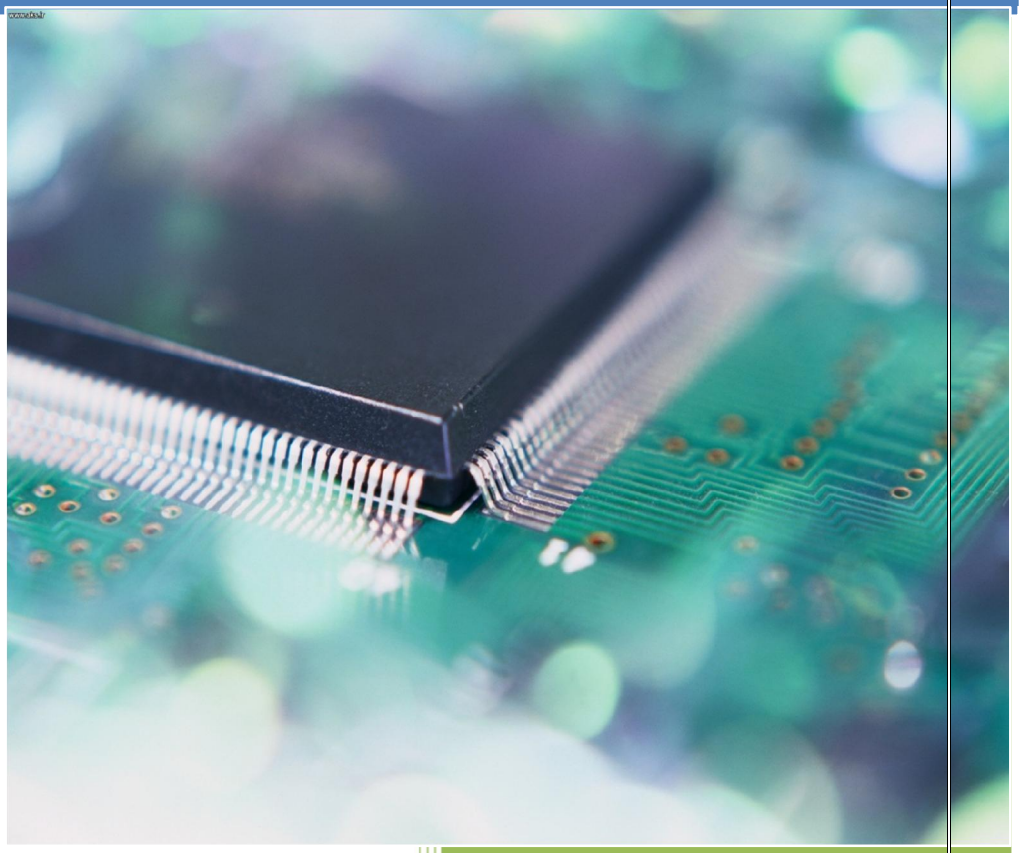


اکنون روی کلید Start کلیک کنید . عملیات برنامه ریزی شروع می شود .



بسمه تعالی

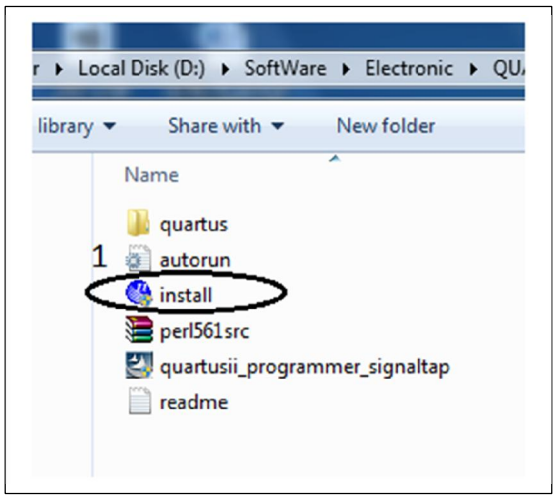
راهنمای نصب نرم افزار QUARTUS



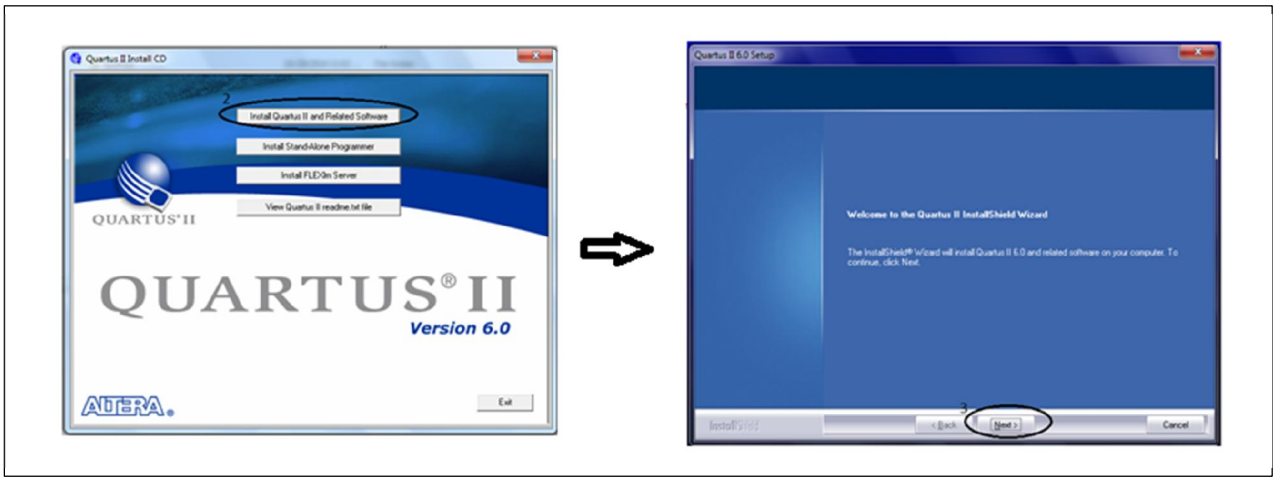
دانشکدهٔ برق و کامپیوتر
آزمایشگاه مدار منطقی
محمّدرضا فتّاح

راهنمای نصب نرم افزار

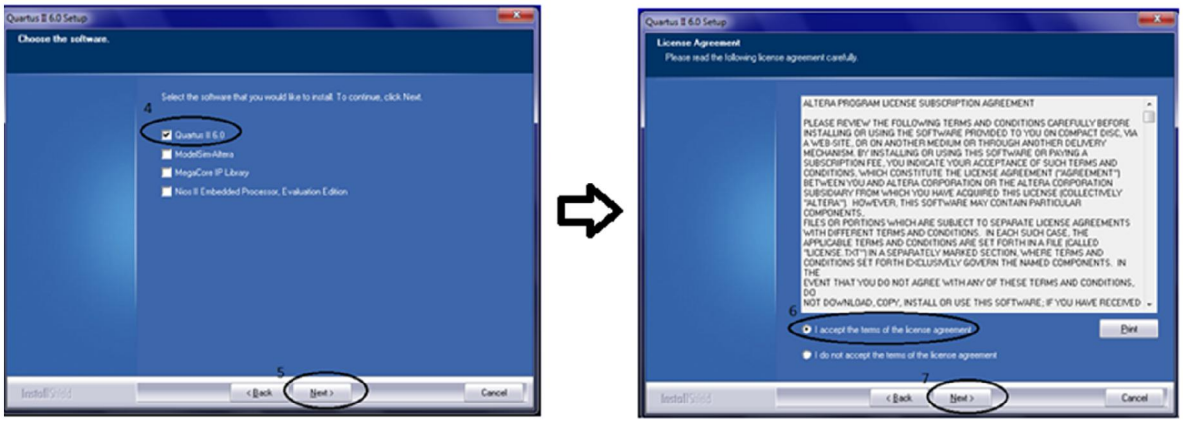
۱: فایل نصب را از داخل پوشهٔ CD1 اجرا کنید و مراحل را مطابق شکلهای زیر دنبال نمایید:



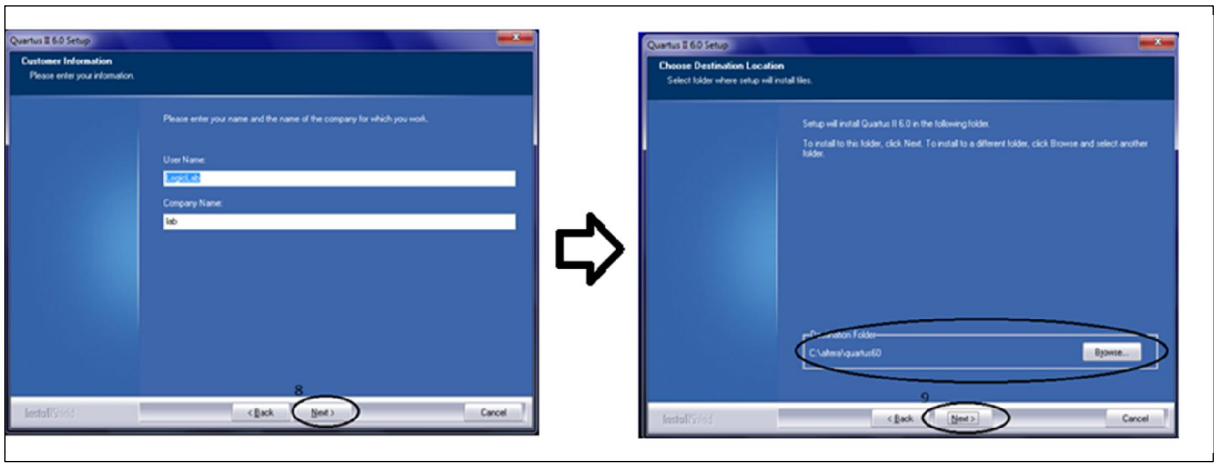
۲:



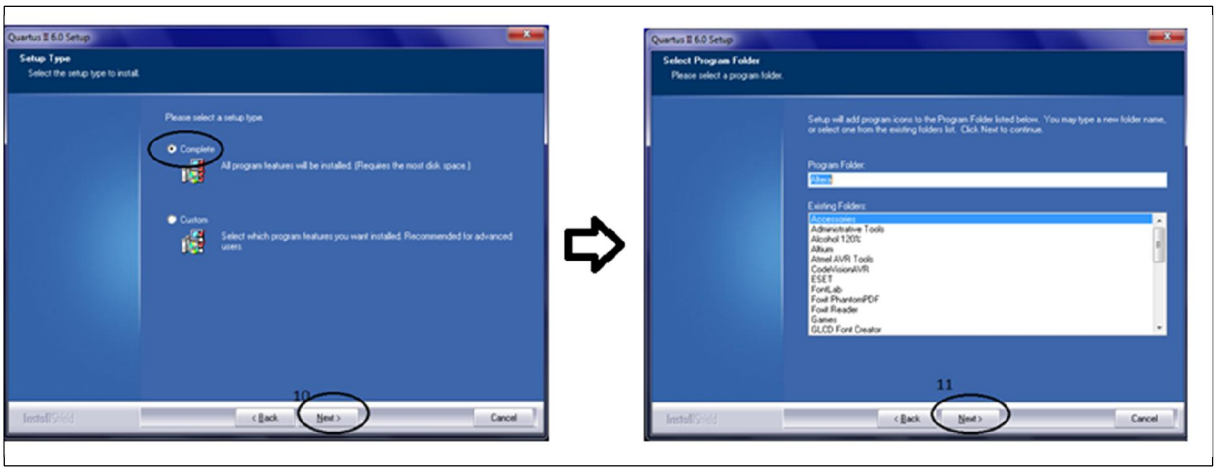
۳:



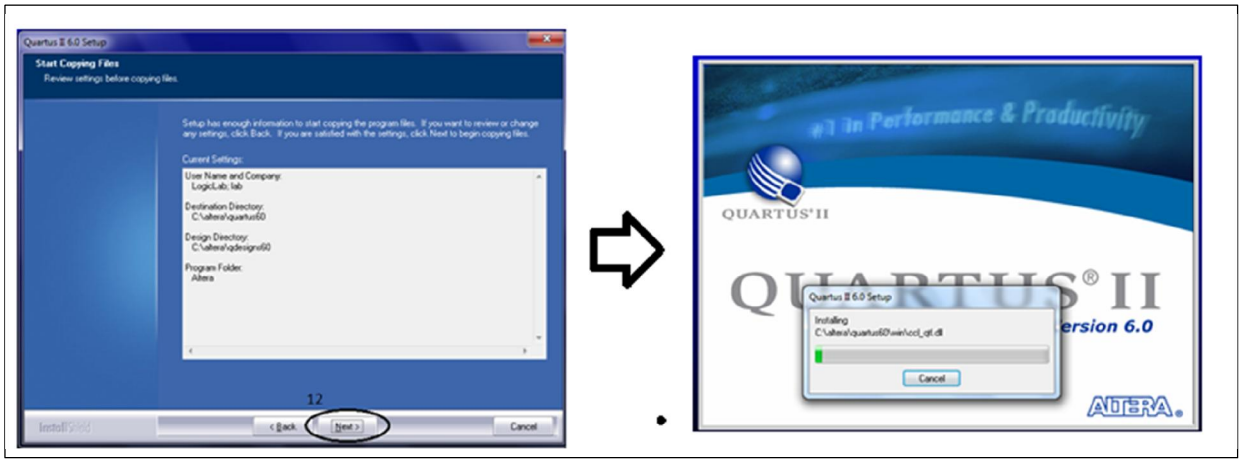
:۷


Quartus II 6.0 Setup
Customer Information
Please enter your information.
Please enter your name and the name of the company for which you work.
User Name:
Company Name:
lab
8
< Back
Next >
Cancel
InstallShield
Quartus II 6.0 Setup
Choose Destination Location
Select folder where setup will install files.
Setup will install Quartus II 6.0 in the following folder.
To install to this folder, click Next. To install to a different folder, click Browse and select another folder.
C:\altera\quartus60
Browse...
9
< Back
Next >
Cancel
InstallShield

:۸

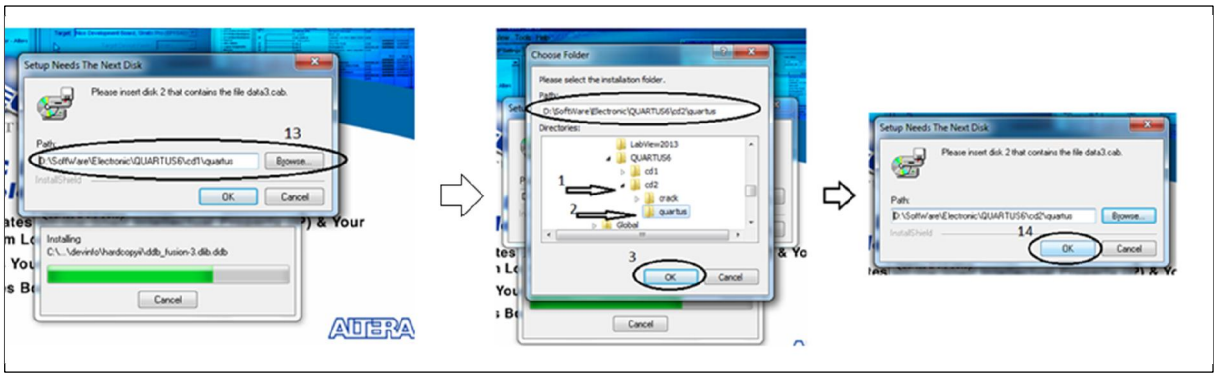

Quartus II 6.0 Setup
Setup Type
Select the setup type to install.
Please select a setup type.
Complete
All program features will be installed. (Requires the most disk space.)
Custom
Select which program features you want installed. Recommended for advanced users.
10
< Back
Next >
Cancel
InstallShield
Quartus II 6.0 Setup
Select Program Folder
Please select a program folder.
Setup will add program icons to the Program Folder listed below. You may type a new folder name, or select one from the existing folders list. Click Next to continue.
Program Folder:
Altera
Existing Folders:
Accessories
Administrative Tools
Alcohol 120%
Altium
Atmel AVR Tools
CodeVisionAVR
ESET
FontLab
Foxit PhantomPDF
Foxit Reader
Games
GLCD Font Creator
11
< Back
Next >
Cancel
InstallShield

:۹

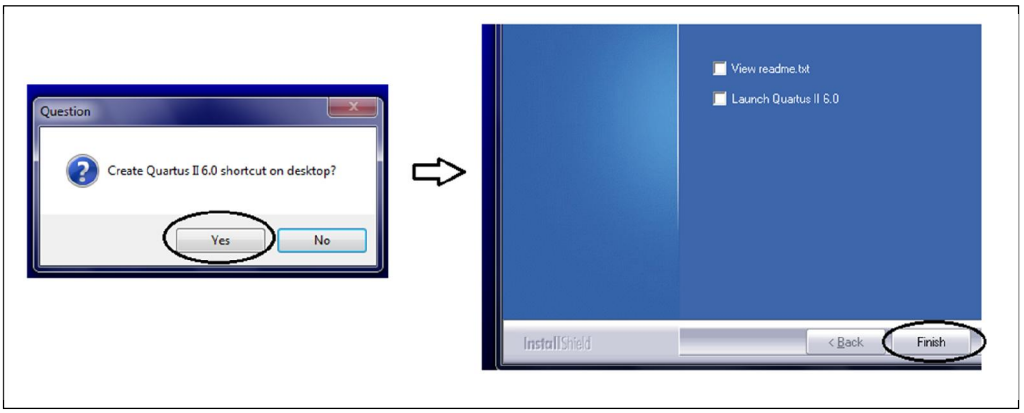

Quartus II 6.0 Setup
Start Copying Files
Review settings before copying files.
Setup has enough information to start copying the program files. If you want to review or change any settings, click Back. If you are satisfied with the settings, click Next to begin copying files.
Current Settings:
User Name and Company:
LogicLab, lab
Destination Directory:
C:\altera\quartus60
Design Directory:
C:\altera\qdesignus60
Program Folder:
Altera
12
< Back
Next >
Cancel
InstallShield
#1 in Performance & Productivity
QUARTUS II
QUARTUS® II
Quartus II 6.0 Setup
Installing
C:\altera\quartus60\win\ccl_qtl.dll
Cancel
ALTERA.

•

۱۰:انتخاب بخش دوم از داخل CD2



:۱۱

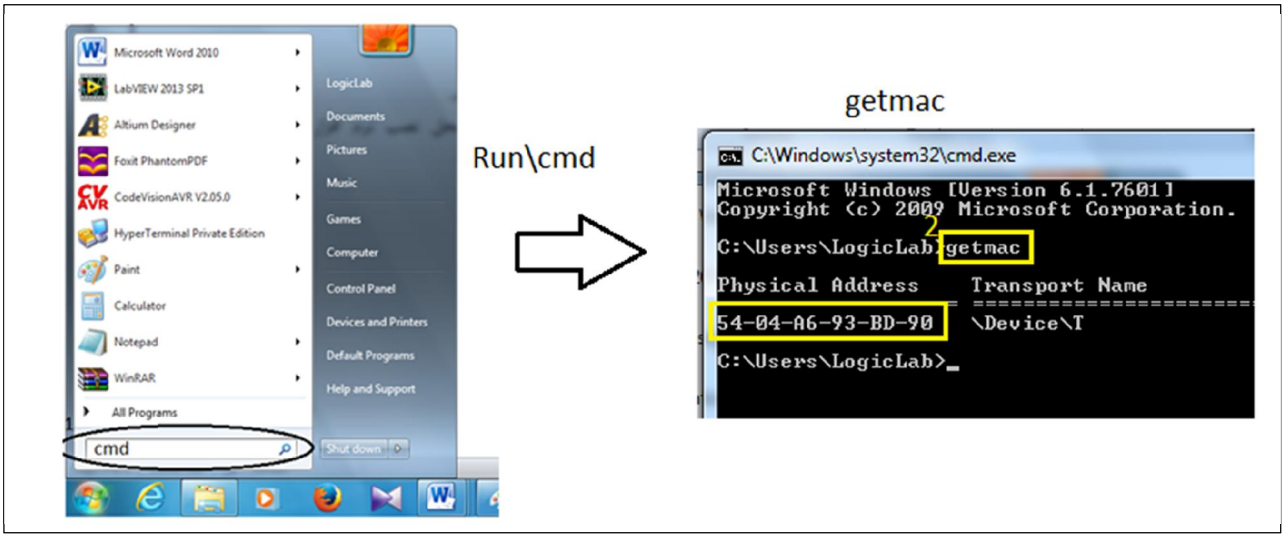


۱۷: راهنمای CRACK

۱- ابتدا پوشهٔ CD2\CRACK را در محل نصب نرم افزار کپی کنید.

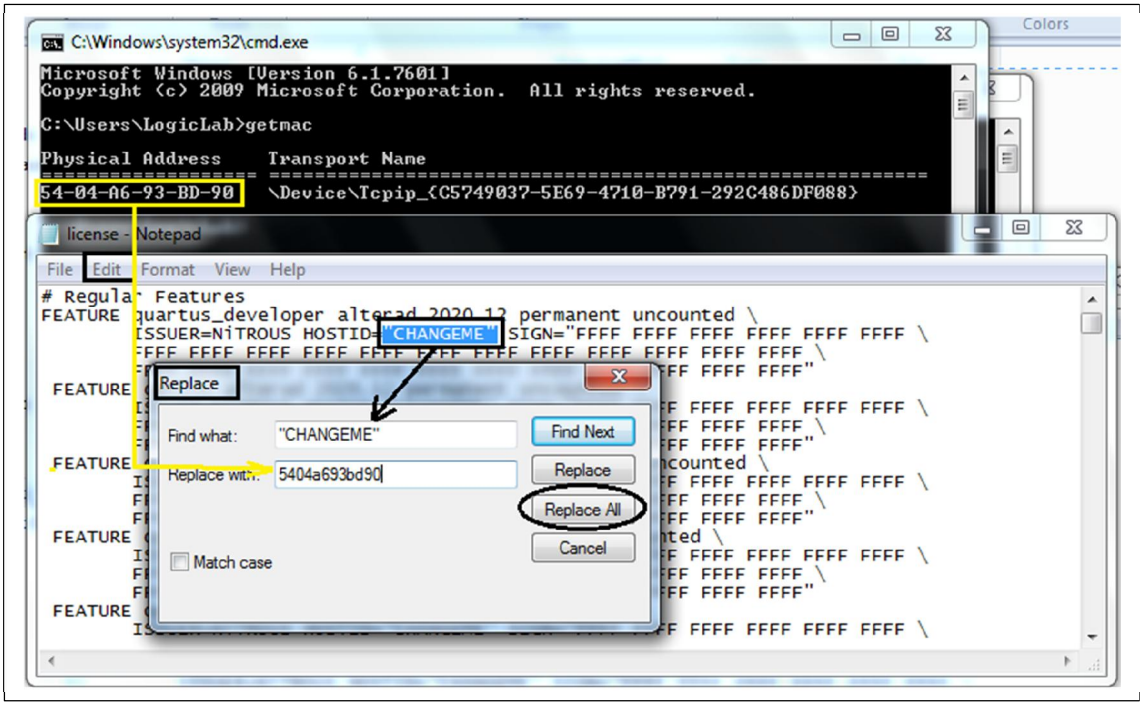
۲- فایلهای موجود در پوشهٔ CRACK\Windows را در محل نصب نرم افزار و در پوشه های altera\quartus60\bin و altera\quartus60\win کپی کنید .

۳- مراحل بعدی را طبق شکلهای زیر انجام دهید: Run\cmd

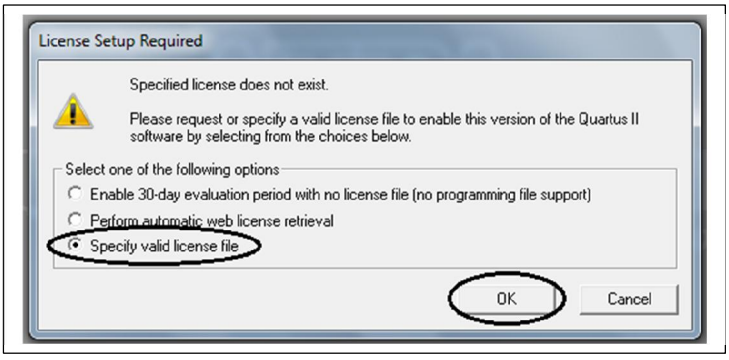


روش دیگری نیز در انتهای این متن برای بدست آوردن آدرس مک آورده شده است .

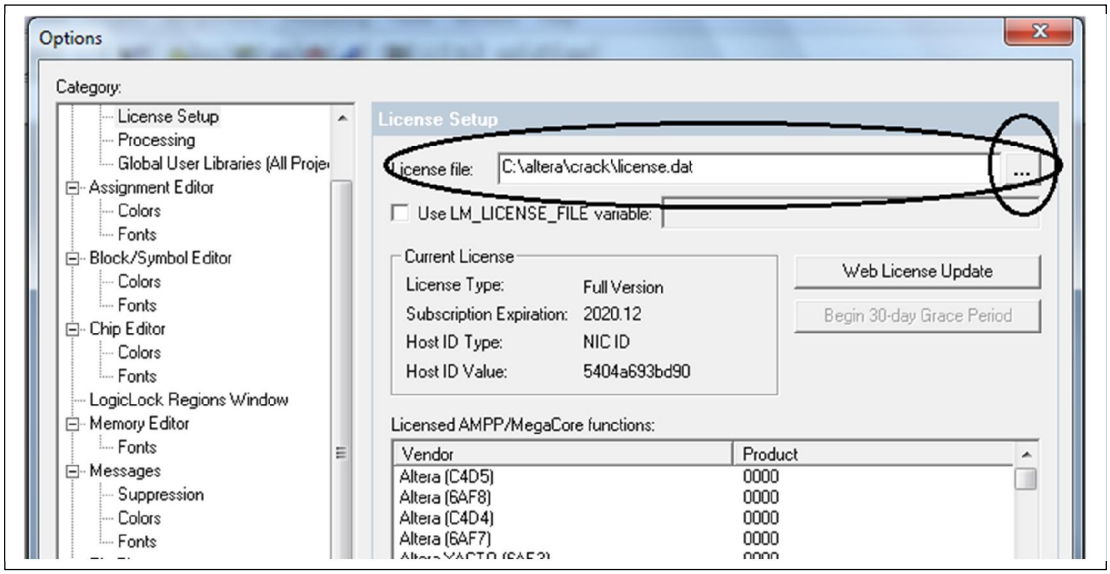
۴- از پوشهٔ CRACK فایل license را با ویرایشگر Notepad باز کنید و سپس طبق شکل زیر ازمنوی EDIT گزینهٔ Replace را انتخاب کرده و مراحل جایگزینی را انجام دهید. سپس فایل را ذخیره نمایید.



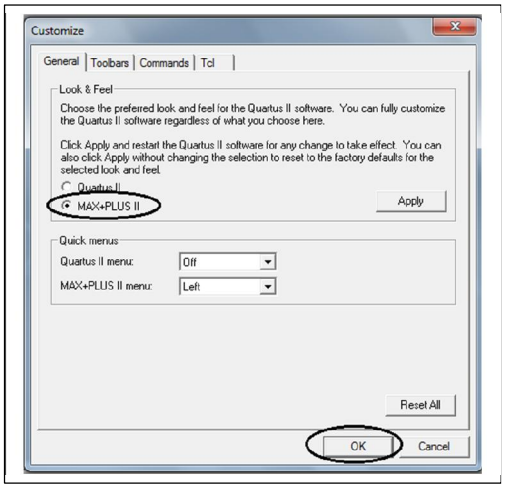
۵- نرم افزار را اجرا کنید و مراحل بعدی را مطابق شکلهای زیر دنبال کنید:



۶- انتخاب فایل license و سپس انتخاب کلید OK .



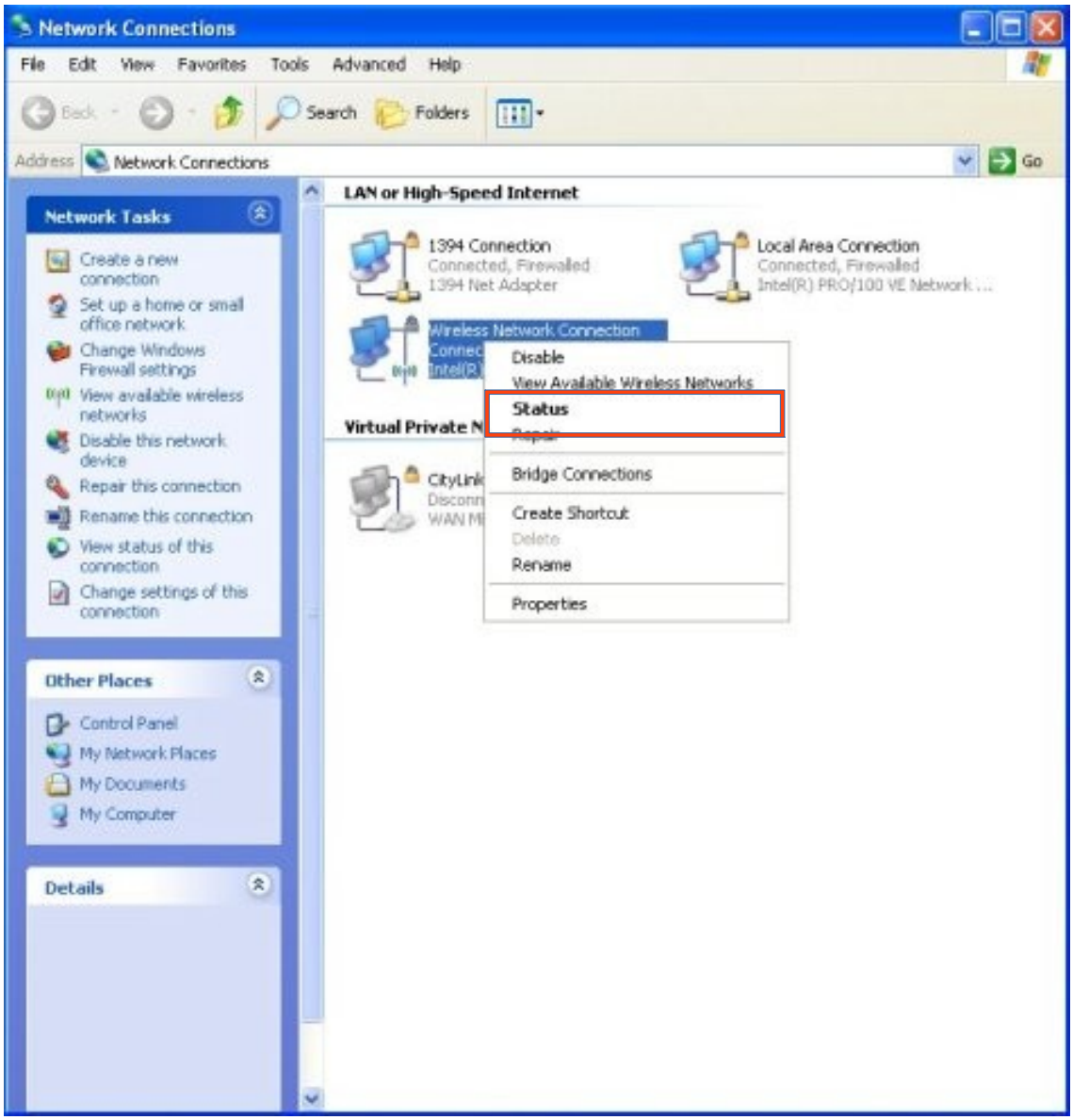
۷-

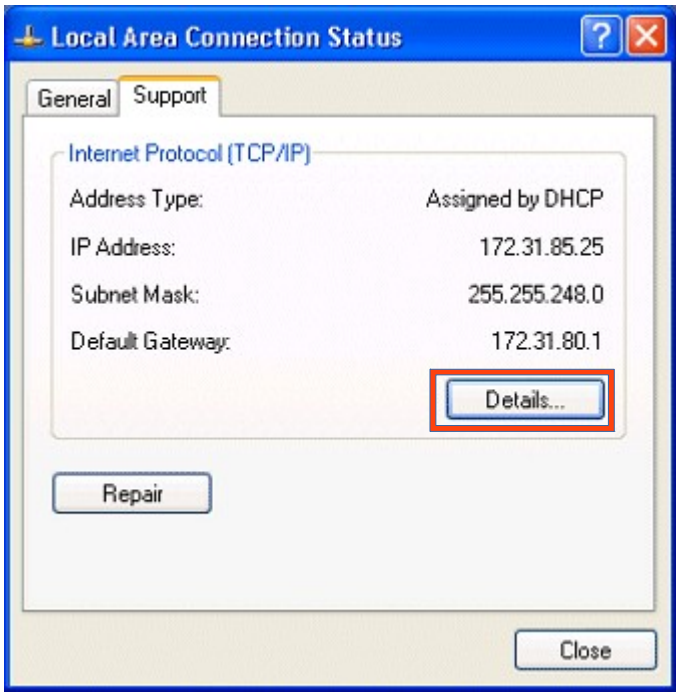


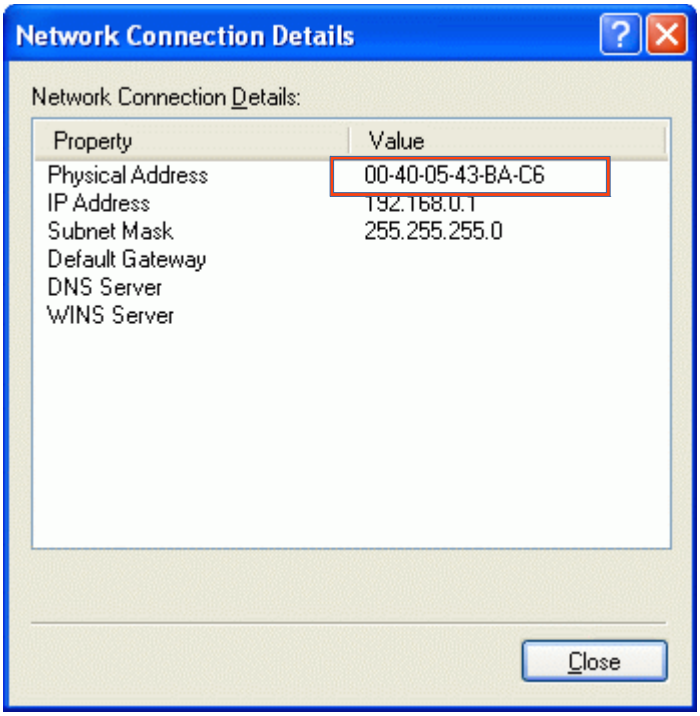
اکنون می توانید از نرم افزار استفاده کنید.

نحوه به دست آورن آدرس مک (آدرس فیزیکی) سیستم

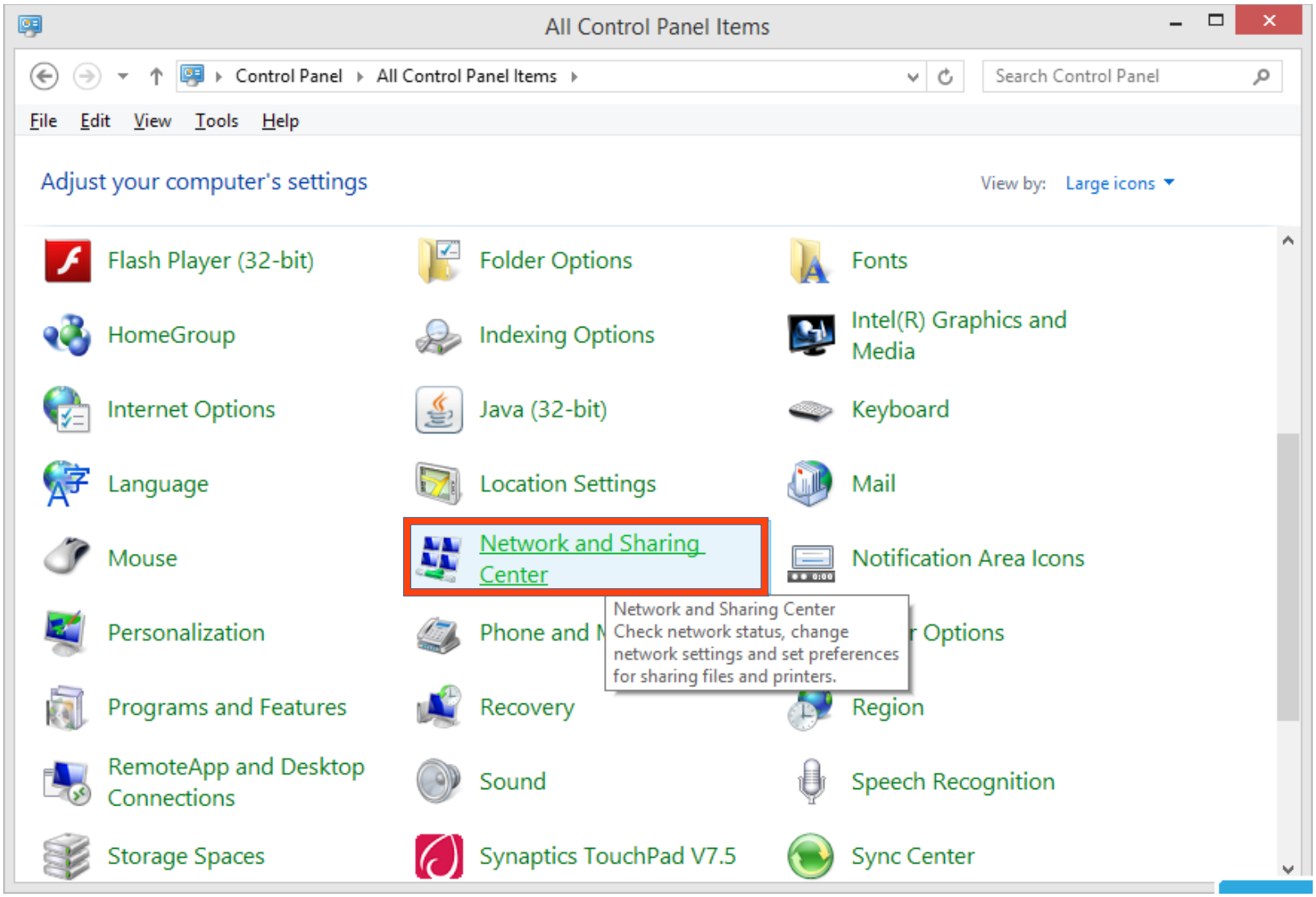
کامپیوترهای شخصی و لپ تاپ ها
برای به دست آوردن مک آدرس در ویندوز کافی است از قسمت اتصالات شبکه (در مورد اتصالات کابلی local area connection و در خصوص اتصالات بی سیم wireless connection) ، اتصال مورد نظر خود را انتخاب و پنجره وضعیت(status) را باز کنید . پس از آن با زدن دکمه جزییات (details) پنجره جزییات باز شده و مقدار درج شده در مقابل physical Address همان آدرس مک کارت شبکه شما می باشد.که در شکل نیز مشخص شده است.
در شکل‌های زیر فرآیند مذکور در به ترتیب در ویندوز XP و ویندوز 8 و 7 مشخص شده اند.
ویندوز XP:

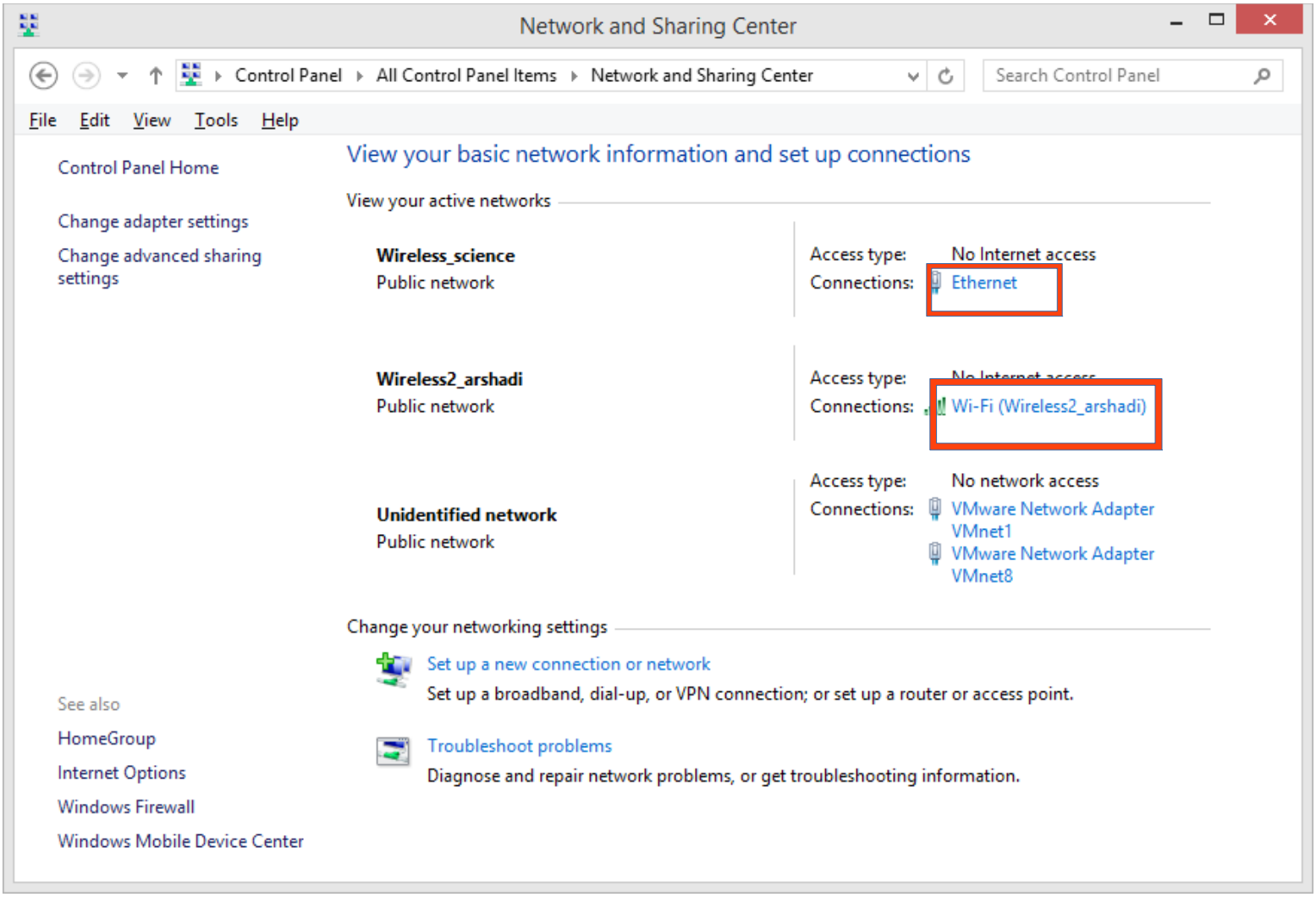


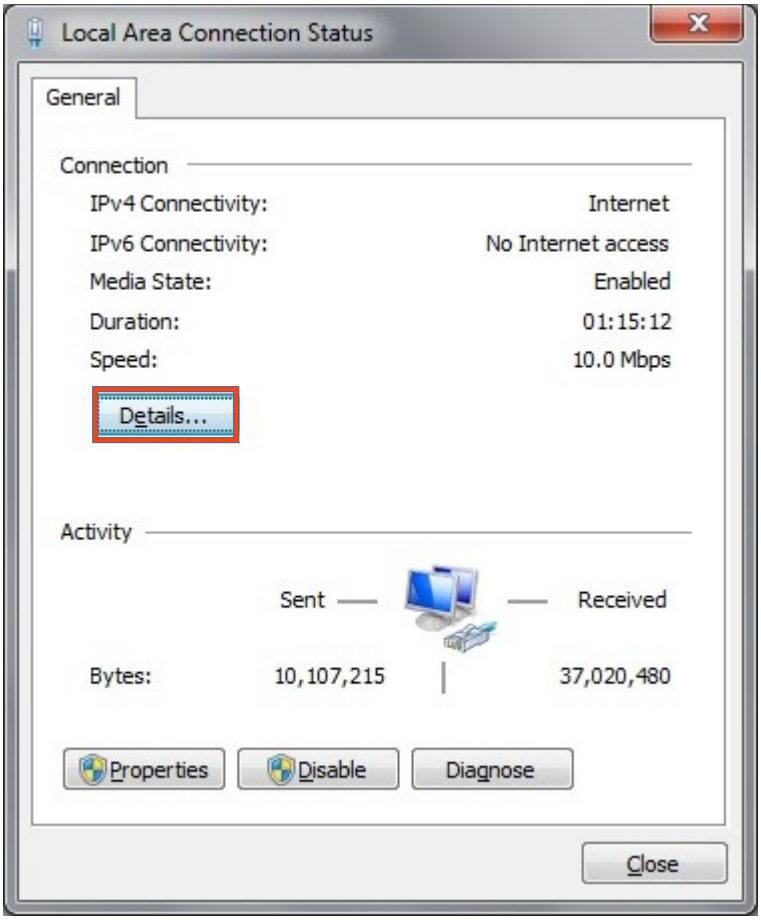

Local Area Connection Status
General
Support
Internet Protocol (TCP/IP)
Address Type:
Assigned by DHCP
IP Address:
172.31.85.25
Subnet Mask:
255.255.248.0
Default Gateway:
172.31.80.1
Details...
Repair
Close

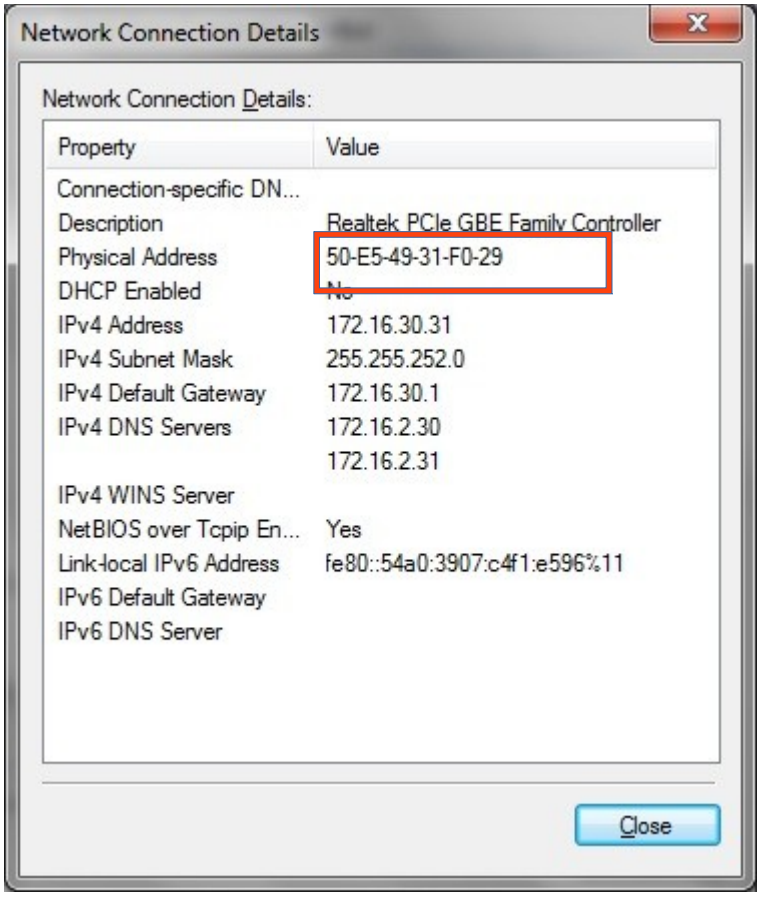

Network Connection Details
Network Connection Details:
Property
Value
Physical Address
00-40-05-43-BA-C6
IP Address
192.168.0.1
Subnet Mask
255.255.255.0
Default Gateway
DNS Server
WINS Server
Close

ويندوز 7 , 8 :


All Control Panel Items
Control Panel ▸ All Control Panel Items ▸
Search Control Panel
File Edit View Tools Help
Adjust your computer's settings
View by: Large icons
Flash Player (32-bit)
Folder Options
Fonts
HomeGroup
Indexing Options
Intel(R) Graphics and Media
Internet Options
Java (32-bit)
Keyboard
Language
Location Settings
Mail
Mouse
Network and Sharing Center
Notification Area Icons
Personalization
Phone and M
Options
Programs and Features
Recovery
Region
RemoteApp and Desktop Connections
Sound
Speech Recognition
Storage Spaces
Synaptics TouchPad V7.5
Sync Center
Network and Sharing Center
Check network status, change network settings and set preferences for sharing files and printers.


Network and Sharing Center
Control Panel ▸ All Control Panel Items ▸ Network and Sharing Center
Search Control Panel
File Edit View Tools Help
Control Panel Home
Change adapter settings
Change advanced sharing settings
View your basic network information and set up connections
View your active networks
Wireless_science
Public network
Access type: No Internet access
Connections: Ethernet
Wireless2_arshadi
Public network
Access type:
Connections: Wi-Fi (Wireless2_arshadi)
Unidentified network
Public network
Access type: No network access
Connections: VMware Network Adapter VMnet1
VMware Network Adapter VMnet8
Change your networking settings
Set up a new connection or network
Set up a broadband, dial-up, or VPN connection; or set up a router or access point.
Troubleshoot problems
Diagnose and repair network problems, or get troubleshooting information.
See also
HomeGroup
Internet Options
Windows Firewall
Windows Mobile Device Center


Local Area Connection Status
General
Connection
IPv4 Connectivity: Internet
IPv6 Connectivity: No Internet access
Media State: Enabled
Duration: 01:15:12
Speed: 10.0 Mbps
Details...
Activity
Sent
Received
Bytes: 10,107,215 37,020,480
Properties
Disable
Diagnose
Close


Network Connection Details
Network Connection Details:
Property
Value
Connection-specific DN...
Description Realtek PCIe GBE Family Controller
Physical Address 50-E5-49-31-F0-29
DHCP Enabled No
IPv4 Address 172.16.30.31
IPv4 Subnet Mask 255.255.252.0
IPv4 Default Gateway 172.16.30.1
IPv4 DNS Servers 172.16.2.30
172.16.2.31
IPv4 WINS Server
NetBIOS over Tcpip En... Yes
Link-local IPv6 Address fe80::54a0:3907:c4f1:e596%11
IPv6 Default Gateway
IPv6 DNS Server
Close

همچنین می‌توانید از دستور getmac در command prompt (cmd) برای به دست آوردن آدرس فیزیکی کلیه کارت های شبکه سیستم استفاده نمایید.
در مورد سایر سیستم عامل ها مانند لینوکس و ios نیز می‌توانید از روش‌های مشابه استفاده کنید. به عنوان نمونه در لینوکس می‌توانید از دستور ifconfig استفاده کرده و اطلاعات مربوط به پارامتر Hwaddr که همان آدرس مک سیستم است را مشاهده نمایید.

تلفن‌های هوشمند و تبلت ها

در خصوص انواع تلفن‌های هوشمند و تبلت ها با توجه به تنوع سیستم عامل ، روش‌های مختلفی برای به دست آوردن آدرس مک وجود دارد که به عنوان نمونه برای اندروید با مراجعه به قسمت تنظیمات (setting) ، بخش سیستم(system) ، درباره دستگاه(about device) ، موقعیت(status) ، آدرس wifi mac ، می‌توانید آدرس مک دستگاه خود را مشاهده نمایید.